

## PLANO DE ENSINO FICHA Nº 2

Disciplina: Microeletrônica I		Código: TE246
Natureza: ( x ) obrigatória ( ) optativa	Semestral ( x ) Anual ( ) Modular ( )	
Pré-requisito: Não tem.	Co-requisito: Não tem.	
Modalidade: ( x ) Presencial ( ) EaD ( ) 20% EaD		
C.H. Semestral Total: 60h C.H. Anual Total: C.H. Modular Total: 60h  PD: 02 LB: 02 CP: 00 ES: 00 OR: 00 C.H. Semanal: 04h		
<b>EMENTA</b>		
Conceituação sobre integração de circuito. Impacto do uso da tecnologia VLSI. Considerações econômicas e de tempo de obtenção do dispositivo. Dispositivos programáveis: PLD, PAL, FPGA. Metodologia de Projeto. Linguagens de descrição de hardware. Integração C++ com HDL. Programação completa de um dispositivo.		
<b>PROGRAMA</b>		
Introdução ao processo de fabricação de circuitos integrados. Desafios tecnológicos da integração de circuitos. Impacto econômico e industrial do uso de tecnologias VLSI (Very Large Scale Integration). Dispositivos lógicos programáveis: PLD, PAL, FPGA – fundamentos e aplicações. Metodologia de projeto de circuitos lógicos utilizando linguagens de descrição de hardware (HDL). Integração C++ com HDL. Estudo do kit de desenvolvimento NEXYS2. Estudo da plataforma de simulação de circuitos lógicos “ISE – Xilinx”. Simulações e práticas de laboratório envolvendo a programação de dispositivos lógicos (FPGA). Projetos aplicativos.		
<b>OBJETIVO GERAL</b>		
O aluno deverá estar apto a programar um dispositivo lógico utilizando linguagens de programação de hardware (HDL).		
<b>OBJETIVO ESPECÍFICO</b>		
A partir de uma especificação de um sistema eletrônico digital, o aluno deverá ser capaz de elaborar códigos em linguagem HDL de forma a atingir a aplicação desejada. Além disso, o aluno deverá ter noções de otimização de seu código visando a redução do número de unidades lógicas a serem sintetizadas.		
<b>PROCEDIMENTOS DIDÁTICOS</b>		
A disciplina será desenvolvida mediante aulas expositivo-dialogadas onde serão abordados os conceitos teóricos e princípios de funcionamento dos dispositivos lógicos programáveis. A assimilação deste conteúdo será reforçada pelo desenvolvimento de práticas de laboratório (programação em linguagem HDL), bem como projeto aplicativo. Serão utilizados os seguintes recursos: quadro branco, computador, projetor multimídia, softwares específicos e kit de desenvolvimento (FPGA).		

# PLANO DE ENSINO

FICHA Nº 2

## FORMAS DE AVALIAÇÃO

- 1) Práticas de laboratório mediante entrega de relatório (60% da nota final)
- 2) Projeto aplicativo (40% da nota final)

### Datas Importantes:

- Entrega do relatório das aulas práticas: o prazo de entrega é de até seis dias após a aula prática
- Entrega do relatório do projeto aplicativo Turma A: prazo máximo 21/11/2017
- Entrega do relatório do projeto aplicativo Turma B: prazo máximo 23/11/2017
- Apresentações de funcionalidade do projeto aplicativo Turma A: prazo máximo 22/11/2017
- Apresentações de funcionalidade do projeto aplicativo Turma B: prazo máximo 24/11/2017
- Exame Final: 12/12/2017

### Informações Complementares:

- O grupos para o projeto aplicativo comportarão no máximo 2 alunos;
- O projeto aplicativo dará origem a um relatório de desenvolvimento e a uma apresentação de funcionalidade do protótipo.
- Todos os membros do grupo devem comparecer nas apresentações das atividades.
- Não serão aceitas apresentações de atividades atrasadas ou relatórios atrasados.

## BIBLIOGRAFIA BÁSICA

- 1) PEDRONI, V. Eletrônica Digital Moderna e VHDL. Editora Elsevier.
- 2) ASHENDEN, P. J. Digital Design: An Embedded Systems Approach Using VHDL. Morgan Kaufmann Publishers.
- 3) HWANG, E. O. Digital Logic and Microprocessor Design with VHDL. Cengage Learning.

## BIBLIOGRAFIA COMPLEMENTAR

- 1) PEDRONI, V. Circuit Design and Simulation with VHDL. MIT Press.
- 2) TOCCI, R. J., WIDMER, N.S.. Sistemas Digitais: princípios e aplicações. Editora Pearson.

**Professor da Disciplina: Sibilla França**

**Assinatura:** \_\_\_\_\_

**Chefe de Departamento: André Mariano**

**Assinatura:** \_\_\_\_\_

Legenda:

Conforme Resolução 15/10-CEPE: PD- Padrão LB – Laboratório CP – Campo ES – Estágio OR - Orientada