

O estágio de ganho, apresentado na Fig. 1, é composto por uma célula cascode diferencial constituída por dois transistores fonte comum e quatro transistores em configuração porta comum.

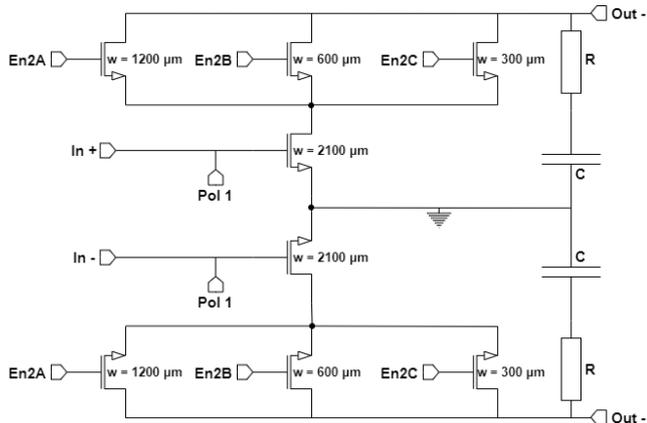


Fig. 2 - Estágio de Potência do Amplificador

O estágio de potência, apresentado na Fig. 2, possui dois transistores fonte comum com mesma largura de canal de 2,1 mm. Entretanto, há outros seis transistores em configuração porta comum, possuindo variações na largura, permitindo variar a potência do amplificador. As larguras são de 300 µm, 600 µm e 1200 µm. Ainda, na saída deste estágio está presente uma rede RC de realimentação que garante a estabilidade incondicional do circuito. Devido à configuração das larguras dos transistores intermediários, é possível modificar o estágio de potência. Desta forma, cada transistor com largura distinta é polarizado de forma independente. Para uma seleção em que se polariza todas as entradas En2A, En2B e En2C a largura efetiva total será de 2,1 mm, por exemplo.

III. CIRCUITO DE POLARIZAÇÃO ADAPTATIVA

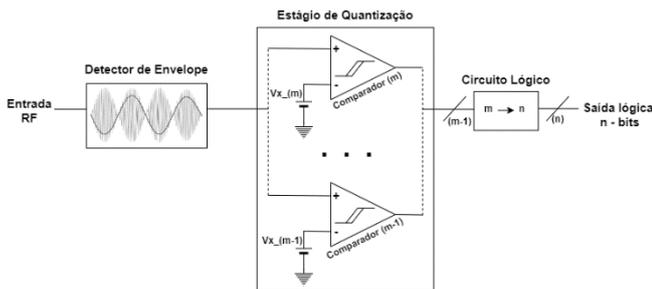


Fig. 3 - Esquemático do circuito de polarização

O circuito projetado para o controle do PA, mostrado na Fig. 3, é dividido em três subcircuitos.

A. Detector de envelope

O detector de envelope é também constituído por três subcircuitos sendo: o elemento detector, o estágio de amplificação diferencial logarítmica e o conversor de saída diferencial para simples. A Fig. 4 apresenta o esquemático dos subcomponentes do detector. O detalhe e esquemáticos deste circuito pode ser obtido em [1].

O elemento detector realiza o rastreamento de sinais com baixa magnitude na entrada do circuito de polarização,

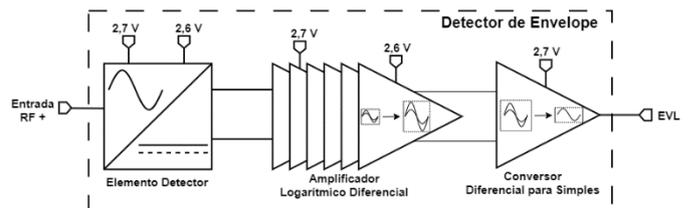


Fig. 4 - Esquemático do detector de envelope

mas não sendo capaz de amplificá-los para a etapa de quantização. Em suma, aplicando à entrada do detector o componente positivo do sinal modulado, um sinal diferencial e proporcional à magnitude desta entrada será emitido na saída. No desenvolvimento deste modelo, trabalhos como [4] e [5] foram analisados. O trabalho apresentado em [5] foi particularmente interessante devido à adequação para várias operações.

Entretanto, embora o detector rastreie sinais de baixa potência, a magnitude na saída diferencial é pequena para ser diretamente quantizada pelo estágio de conversão lógica. Desta forma, é necessário realizar uma etapa de amplificação deste sinal. O conceito para este circuito foi baseado em [6], que apresenta um amplificador logarítmico diferencial em tecnologia CMOS. Assim, um circuito amplificador logarítmico, com cinco estágios de ganho, é implementado para esta tarefa. Este número de estágios foi necessário para que, na saída, o sinal de tensão gerado se comporte de forma proporcional à curva de potência da entrada.

Amplificado o envelope detectado, este é convertido de volta para um sinal simples. Este terceiro elemento baseia-se em princípios descritos em [7].

B. Estágio de quantização

O estágio de quantização é composto por um conjunto de comparadores com histerese, conforme mostrado na Fig. 5. O modelo deste circuito é adaptável dependendo do número de operações do PA. Neste circuito, usa-se o conceito de $m+1$ possibilidades de amplificação, com 'm' sendo a quantidade de comparadores no estágio de quantização. Cada comparador possui uma tensão de referência ajustável, dependendo do comportamento que se deseja obter no PA. Neste trabalho foram definidas para A 0,4 V; para B 1,4 V e para C 2,0 V.

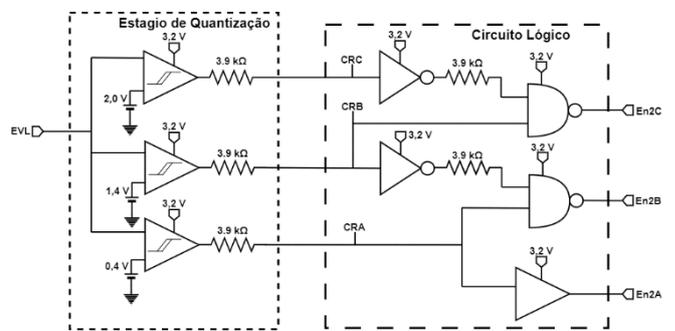


Fig. 5 - Esquemático do estágio de quantização e do circuito lógico

Como o PA de [1] possui 4 modos de operação, o número de comparadores será 3, a ver $m+1$. Os

comparadores compartilham uma entrada comum, o sinal de saída “EVL” do detector de envelope, e cada um possui uma tensão de referência, V_X . As saídas CRA, CRB e CRC são resultado da comparação entre as entradas. Quando EVL é maior que V_X , a saída é ativada; caso contrário, é desativada.

Assim uma tabela verdade entre as saídas dos comparadores CRA, CRB e CRC e as entradas digitais do PA, E_{N2A} , E_{N2B} e E_{N2C} , é criada. Ainda, determinou-se que os terminais CRX devem ser ativados sequencialmente. A Tabela 1 apresenta a relação entre as saídas CR_X e as entradas E_{N2X} e a Fig. 5 apresenta o esquemático tanto do estágio de quantização quanto do circuito lógico.

Tabela 1 - Tabela verdade entre CR_X e E_{N2X}

Modo de Operação	Sinal de Saída			Sinal de Entrada		
	CR_A	CR_B	CR_C	E_{N2A}	E_{N2B}	E_{N2C}
A	0	0	0	0	1	1
B	1	0	0	1	0	1
C	1	1	0	1	1	0
D	1	1	1	1	1	1

C. Circuito lógico

Por fim, o circuito de polarização converte o sinal quantizado de potência em níveis lógicos que controlarão o PA. Com as informações apresentadas pela tabela acima é, então, desenvolvido o circuito lógico, a partir de portas lógicas NAND, circuito apresentado na Fig. 5.

IV. SIMULAÇÃO E RESULTADOS

Apresentado o PA e o circuito de polarização, realizou-se simulações, a nível esquemático, de equilíbrio harmônico utilizando o software Cadence Spectre RF. A primeira simulação foi implementada apenas no circuito de polarização, com as Fig. 6 e Fig. 7 apresentando os resultados.

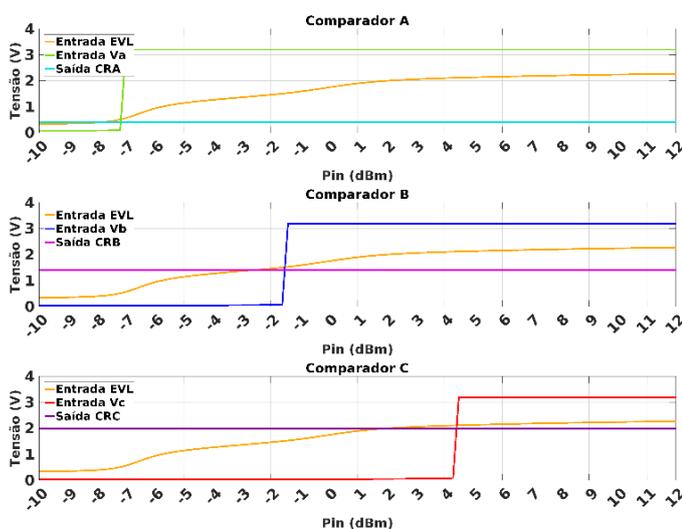


Fig. 6 - Resultado da simulação dos comparadores

Analisando a Fig. 6 é possível verificar que as transições na saída dos comparadores ocorrem como esperado. Para o comparador A, sua mudança de estado ocorre próximo a potência -7 dBm. No comparador B, a mudança ocorre em -2 dBm. Por fim, o comparador C muda para nível lógico alto na potência de 4 dBm.

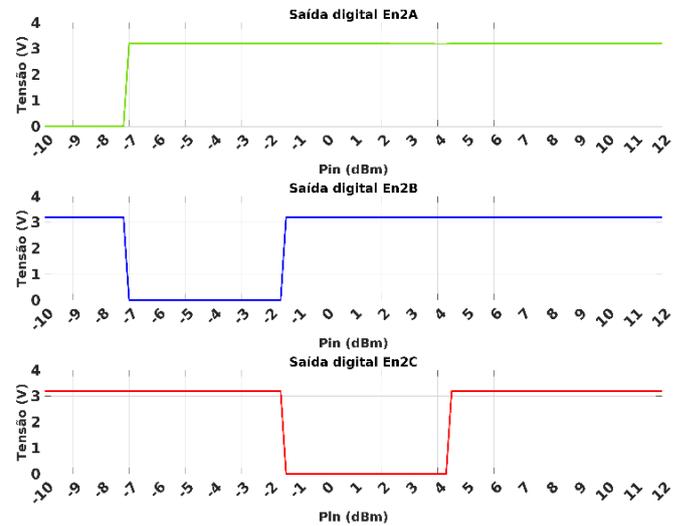


Fig. 7 - Resultado da simulação das saídas digitais

Ainda, observando os resultados da Fig. 7, a sequência inicial é ‘011’. Quando se atinge -7 dBm, o comparador A muda seu estado e a saída torna ‘101’, o segundo modo. Ao chegar em -2 dBm, com comparador B alternando seu nível, as saídas passam a ‘101’. Por fim, o comparador C altera o estado em 4 dBm emitindo a sequência lógica ‘111’, o último modo de polarização.

Em seguida, uma segunda simulação, em duas etapas, foi realizada. Na primeira, foram aplicados sinais em E_{N2A} , E_{N2B} e E_{N2C} , seguindo a sequência da Tabela 1, para emular um sistema de controle e obter cada uma das quatro curvas de amplificação dos modos de operação do PA. Na segunda etapa, aplicou-se o circuito de polarização no amplificador e obteve-se uma curva de amplificação que alterna entre os modos de operação do PA à medida que se atinge os valores de transição na potência de entrada. A Fig. 8 apresenta a configuração do amplificador para as

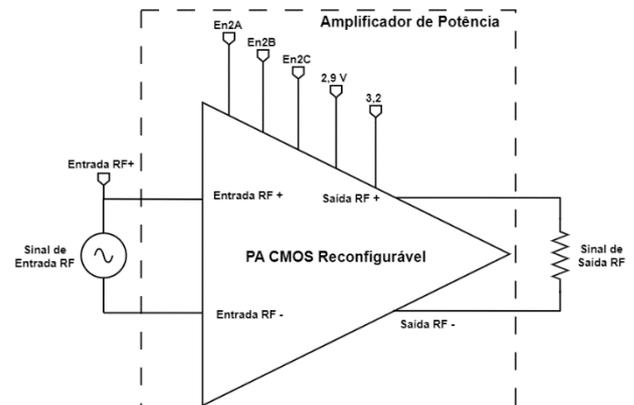


Fig. 8 – Esquemático do Amplificador de Potência Reconfigurável.

simulações. As Fig. 9 e Fig. 10 ilustram o comportamento do PA nestas etapas.

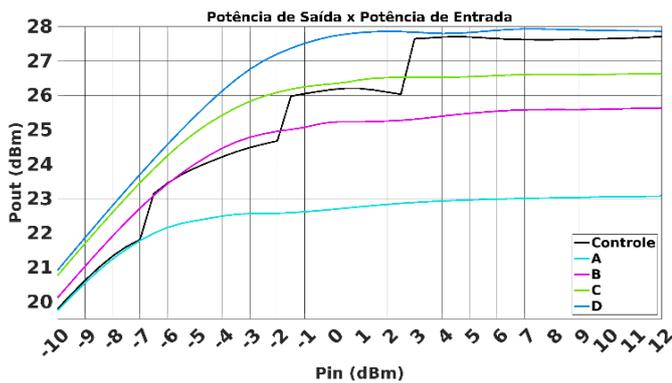


Fig. 9 - Resultado entre a potência de saída e a potência de entrada.

Na Fig. 9 são apresentadas as curvas da relação entre potência de saída e potência de entrada para cada modo de operação do PA (A, B, C e D) e para o amplificador com o circuito de polarização adaptativa. Para potências antes de -7 dBm a curva controlada apresenta comportamento semelhante ao modo A. Porém, na potência de entrada 7 dBm, e saída 22 dBm, a amplificação é alterada para o modo B. Também, no terceiro estado, a curva com controle reflete o comportamento do modo C quando atingido potência de -2 dBm na entrada e 25 dBm na saída. Por último, para a potência de entrada em 2,5 dBm, e saída em 26 dBm, a última transição de estado ocorre e a curva de amplificação com controle apresenta comportamento do modo D.

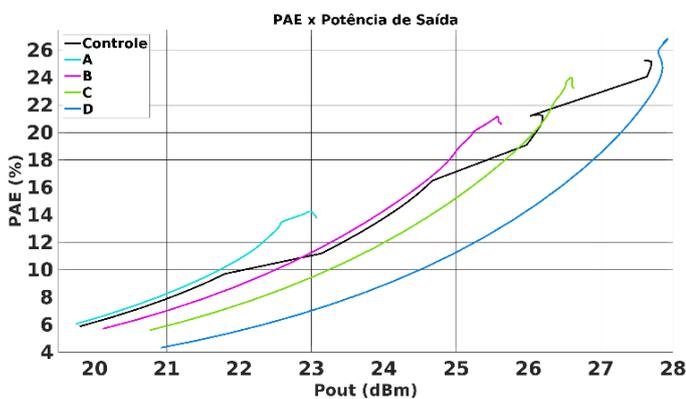


Fig. 10 - Resultado da PAE pela Potência de Saída.

A Fig. 10 apresenta o resultado da relação entre a PAE e potência de saída. Nota-se que o mesmo comportamento, apresentado nos resultados anteriores, também ocorre quando é atingido as potências de saída das transições. No modo A, com a transição em 22 dBm, a PAE é próxima a 11% enquanto para B próximo a 9%. Este comportamento, de queda na PAE de um modo para outro nas potências de transição, é repetido nas demais curvas.

V. CONCLUSÃO

Este trabalho apresenta um amplificador de potência CMOS controlado por um circuito de polarização

adaptativa. O objetivo do controlador é gerar uma sequência digital que configura o modo de operação do PA a partir da magnitude da potência do sinal RF aplicado na entrada do sistema.

A partir das simulações realizadas, é observado que o sistema atua conforme o esperado, visto que o PA, quando polarizado pelo circuito, tem seus níveis de amplificação alterados à medida que a sequência lógica binária é configurada. Cada um dos estados é emitido à medida que as transições na saída dos comparadores ocorrem, devido ao sinal EVL romper os limiares de tensão estabelecidos. Para valores de potência de entrada abaixo de -7 dBm, a combinação permanece em '011', com o modo de amplificação em A. Após este ponto é alterado para '101' com o PA atuando no modo B. Quando o segundo limite, em -2 dBm, é atingido, a saída digital passa para '110' e o sinal RF é amplificado na condição C. Finalmente, na transição do último comparador, na potência de 2,5 dBm, a última sequência, '111', é emitida e o PA amplifica com o modo D. Assim, conclui-se que o sistema PA-Controlador atua como desejado, com o controlador sendo capaz de polarizar os modos de operação do PA a depender da potência do sinal RF de entrada que se deseja transmitir e o PA, amplificando o sinal quando os modos selecionados.

Para além dos resultados que validam o sistema, estudos devem ser feitos para obter as potências ideais das transições, das relações entre Pout potência de entrada e PAE e Pout. Também, verificação de distorções no sinal quando ocorre as transições entre cada modo.

REFERÊNCIAS

- [1] L. Auer, A. Arrive, B. Leite, "Adaptive Biasing Circuitry for a CMOS Power Amplifier, The Microelectronics Students Forum, Rio de Janeiro, 2023.
- [2] B. Tarui, B. Leite, "Projeto e Simulação de Amplificador De Potência Multimodos de Alta Potência e Baixa Variação de Ganho", Master's thesis, Federal University of Parana, Curitiba, 2021.
- [3] M. Quadros, B. Tarui, B. Leite, "Stability and Linearity Improvement in a Multi-Mode CMOS Power Amplifier", Federal University of Parana, Curitiba, 2022.
- [4] J. Cha et al., "A highly-linear radio-frequency envelope detector for multi-standard operation," IEEE Radio Frequency Integrated Circuits Symposium, pp. 149-152, 2009.
- [5] J. P. Alegre, S. Celma, M. T. Sanz, C. Aldea, "Design of a High-performance Envelope Detector" IEEE International Midwest Symposium on Circuits and Systems, 2006.
- [6] S. Wongnamkam, A. Thanachayanont, and M. Krairiksh, "A 2.4-GHz 43-dB CMOS Logarithmic Amplifier for RF Signal Level Detection", 5th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, 2008.
- [7] Y. Zhang, X. Tang, Z. Wei, Y. Cao, X. Wang, F. Huang, "On the Design of Broadband Truly Balanced Inductor-less Differential to Single-ended Converter in CMOS Friendly to Wire-bond Package", IEEE Transactions on Circuits and Systems II, 2022.