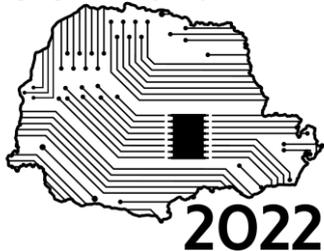


SeMicro-PR



Casamento de impedância para otimização da linearidade de um amplificador de potência CMOS para IEEE 802.11ax

Enzo B. Coutinho, Fávero Santos, Bernardo Leite

GICS, Curitiba, Brasil

GICS, Curitiba, Brasil

Enzo.coutinho@ufpr.br

Resumo— O objetivo desse trabalho é o projeto de uma rede de casamento de impedância para melhorar a linearidade de um amplificador de potência (PA) previamente projetado em termos da magnitude do vetor de erro (EVM) para o protocolo IEEE 802.11ax. Além disso, deve ser observado o impacto desse novo circuito sobre o ganho de potência e a eficiência do PA, caracterizada no trabalho pela métrica da eficiência de potência adicionada (PAE). Realizou-se um estudo do circuito de casamento de impedância de saída do PA, com simulações de *loadpull* para uma potência de entrada média de 10 dBm de modo a mudar a rede de casamento de saída. O circuito inicial apresenta, para essa potência, uma EVM total 16,18%, uma PAE de 25,40% e um ganho de grandes sinais médio de 8,98 dB. Com a nova rede de casamento de saída a EVM calculada é de 11,11%, com uma PAE de 18,34% e um ganho de 7,77 dB. O valor máximo de potência de saída que esse PA atingia antes do novo circuito era de 17,24 dBm. Pelos resultados observa-se que com a nova rede o PA pode ser usado com sinais IEEE 802.11ax com modulação 16QAM numa faixa de potência média de saída de até 17,77 dBm, já que o limite da EVM para essa norma é de 11,25%.

I. INTRODUÇÃO

O amplificador de potência (PA) é um circuito analógico utilizado em aplicações de radiofrequência (RF), e é um dos componentes mais importantes na transmissão de sinais RF. O PA é responsável por adicionar potência a um sinal que será transmitido por uma antena, sem que sejam adicionadas distorções significativas no sinal, ou seja, é importante que ele seja o mais linear o possível, mantendo alto ganho e alta eficiência, já que também é o circuito que mais consome energia na transmissão [1]. Dessa forma, o sinal da mensagem (a informação em si, contida no sinal que o PA transmite) não deve sofrer grandes alterações, de modo que o receptor não consiga ler a mensagem.

Esse trabalho detalha algumas das principais características de um PA multimodos empilhado híbrido projetado por [2]. O amplificador foi projetado na tecnologia CMOS 130 nm para operar numa frequência de 2,4 GHz, que é uma das bandas mais usadas atualmente, por ser a frequência de operação do Bluetooth e de diversas configurações de Wi-Fi (padrões IEEE802.11). Esse PA foi projetado para operar em 4 modos de operação distintos, dependendo de como seus

transistores são polarizados. Para obter essas características foi usado o ambiente de desenvolvimento e simulação de circuitos analógicos integrados *Cadence Spectre*.

A linearidade será medida através da métrica magnitude do vetor de erro (EVM) que é bem definida para o padrão de comunicação IEEE 802.11ax com modulação 16QAM e largura de banda de 80 MHz, que impõe limites de EVM para cada modulação para que os PAs operem de modo satisfatório num sistema completo. A eficiência será medida através da eficiência de potência adicionada (PAE). Com essas medidas determinadas, foi feita uma simulação de *loadpull* com sinais modulados, de modo a determinar com qual impedância de carga o PA apresenta uma melhora na linearidade no modo de maior potência.

A EVM indica o quão bem o receptor consegue identificar os símbolos transmitidos pelo PA. Ele mede a diferença (distância euclidiana entre os vetores) entre um símbolo ideal no diagrama de constelação e o caractere medido.

A PAE é uma métrica da eficiência do amplificador, ela pode ser calculada pela potência de saída menos a potência de entrada em relação a potência de alimentação CC do circuito. Dessa forma, mede-se o quão bem o PA aproveita a potência de alimentação para amplificar o sinal.

II. AMPLIFICADOR DE POTÊNCIA

O amplificador de potência foi previamente projetado por [2], e o esquemático do circuito pode ser visto na figura 1. Trata-se de um amplificador de potência de topologia empilhada híbrida com núcleo de amplificação composto por 4 NMOSFETs de óxido espesso, que possuem uma tensão dreno-fonte de ruptura maior, com o terminal de fonte conectado diretamente no dreno do transistor abaixo. O resistor R1 é um resistor de realimentação, que aumenta a estabilidade do amplificador.

A vantagem de empilhar os transistores é que a queda de tensão é dividida entre o número de dispositivos, de forma que uma tensão maior de alimentação pode ser usada no circuito [3] – [5], sem que a tensão de ruptura de cada transistor seja atingida. Essa topologia foi denominada híbrida pois cada

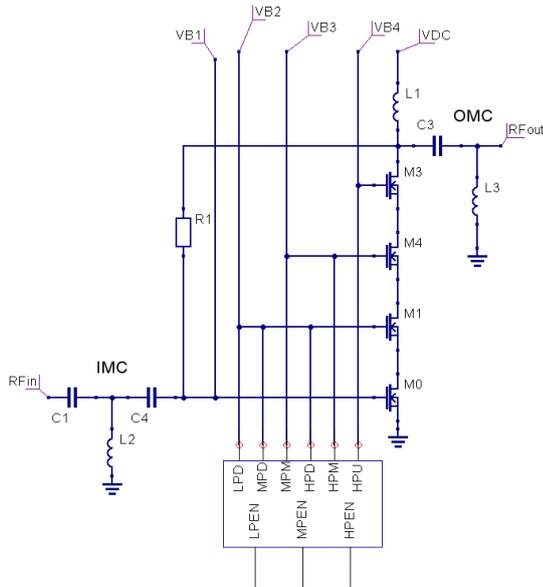


Fig. 1. Amplificador de potência

transistor pode, individualmente, operar como chave fechada ou como amplificador, assim, 4 modos diferentes de operação foram escolhidos para o amplificador, dependendo de quantos dispositivos estão operando como amplificadores. Além disso, com 4 transistores empilhados a fase total de rotação no dreno do MOSFET M3 é mínima, e a potência de saída do amplificador é perto do valor teórico máximo [6].

A figura 2 mostra o banco de capacitores usado para conectar capacitores na base dos transistores. É interessante que a capacitância mude dependendo de cada modo escolhido, dessa forma, o banco possui transistores que conectam ou desconectam mais capacitores em paralelo. Como o sinal é introduzido diretamente na porta dos dispositivos, esses capacitores são necessários para que o amplificador como um todo funcione.

No que diz respeito a dimensão dos componentes, M0-M3 possuem uma largura de canal total de 1,2 mm (60 μm por dedo), comprimento de canal de 240 nm, 20 dedos e multiplicidade de 2. O valor dos componentes passivos no circuito principal são: C1: 303,46 pF; C4: 900 fF; C3: 1,9 pF; L1: 1,8 nH; L2: 4,25 nH ; L3: 5,49 nH e R1: 3,44 k Ω . Os transistores do banco de capacitores possuem largura total de 200 μm (10 μm por dedo), comprimento de 240 nm e multiplicidade unitária. Os valores de capacitância são: C1: 1 pF; C2: 1,3 pF; C3: 1 pF; C4: 2,9 pF; C5: 2 pF e C6: 800 fF.

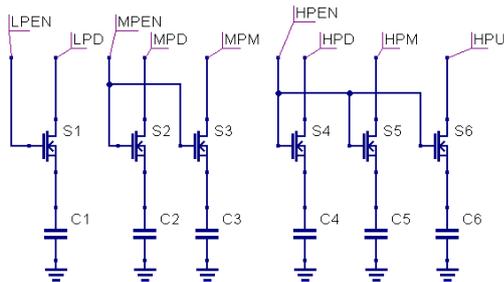


Fig. 2. Banco de capacitores

Conectado diretamente na entrada do núcleo de amplificação é o circuito de casamento de impedância de entrada (IMC) e na saída é o circuito de casamento de impedância de saída (OMC), que foi projetado para maximizar o ponto de compressão de 1 dB (OCP1dB), a potência de saída onde o ganho se desvia de 1 dB do seu valor de pequenos sinais, quando conectado a uma carga de 50 Ω . A polarização de cada transistor são as entradas CC VB1 a VB4, bem como as entradas LPEN, MPEN e HPEN. As 3 últimas são usadas na seleção das capacitâncias do banco de capacitores. Além de mudar as tensões de polarização para realizar a troca dos modos, aumenta-se também a tensão de alimentação do circuito quanto mais amplificadores forem ligados.

Para ambos os circuitos de casamento de impedância foram escolhidas redes L simples, pois para o objetivo do projetista elas eram suficientes. Os capacitores e indutores usados foram da tecnologia, o capacitor do tipo MIM e o indutor plano em espiral.

III. RESULTADOS E DISCUSSÃO

Para realização das simulações, foi utilizada a plataforma Spectre do Cadence Virtuoso [7], a nível de esquemático. Todas as métricas mencionadas anteriormente foram determinadas usando impedâncias de entrada e saída de 50 Ω . Para a polarização 8 fontes CC foram usadas no total, uma para a alimentação do dispositivo 3 para a polarização e mais 3 para selecionar digitalmente os capacitores do banco de capacitores. O circuito foi simulado usando o modo de maior potência do amplificador, ou seja, usando 4 transistores como amplificadores, o qual requer a maior tensão de alimentação.

Foi feita uma simulação de sinais modulados, configurada conforme o padrão IEEE 802.11ax, com frequência de portadora de 2,4 GHz, possuem uma modulação digital 16QAM e largura de banda de 80 MHz. A potência de entrada média (\bar{P}_{in}), variou de -10 dBm à 10 dBm. Através dessa simulação é possível determinar a PAE, a EVM e o ganho, além de realizar as simulações de *loadpull*, montando curvas de parâmetros constantes para essas três características.

A. Simulação com sinais modulados

O primeiro passo é determinar a EVM em diferentes potências médias de saída (\bar{P}_{out}) do PA. Dessa forma, foi compilado um gráfico que mostra a PAE e a EVM em função de \bar{P}_{out} , que pode ser visto na figura 3. Dela observa-se que à

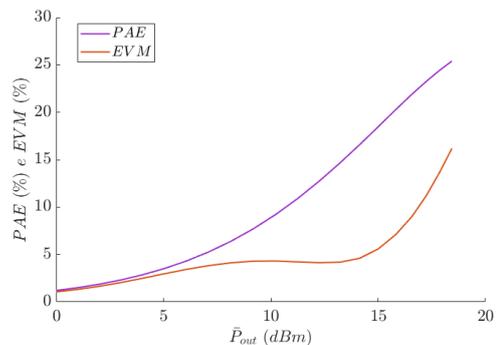


Fig. 3. PAE (%) e EVM (%) x \bar{P}_{out}

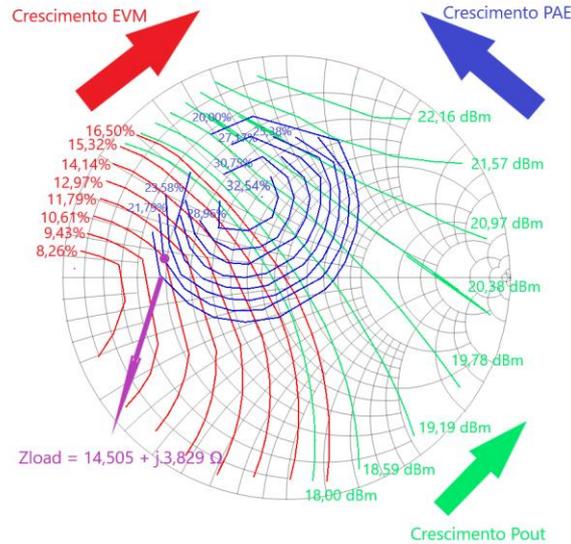


Fig.4. Carta de Smith com curvas de métricas constantes com $\bar{P}_{in} = 10 \text{ dBm}$

medida que a potência de saída cresce a PAE melhora e a EVM piora.

Depois, um valor de \bar{P}_{in} , foi escolhido para medir a constelação de referência e a medida na carga, esse valor foi a potência de entrada mais alta da simulação (10 dBm). A EVM total calculada com essa potência foi de 16,18%, a PAE é de 25,40% e o ganho de grandes sinais médio é de 8,98 dB.

B. Simulação de loadpull

A próxima simulação a ser feita foi a análise *loadpull*. Através dela foi determinado com qual impedância de carga o PA apresenta uma melhora na EVM e, por consequência, na linearidade. A potência de entrada do PA foi mantida em 10 dBm, dessa forma, foi possível comparar com os resultados obtidos anteriormente.

A análise de *loadpull* é feita no software colocando pontas de prova tanto na entrada quanto na saída do circuito. O simulador então varre sistematicamente a impedância de carga para verificar a performance do amplificador segundo algumas métricas, de forma que é possível escolher a impedância de carga que apresenta o melhor valor da métrica desejada.

Para a composição da carta de Smith foram escolhidas três métricas para plotar as curvas de característica constante, a EVM, a PAE e a \bar{P}_{out} , a partir da qual obtém-se o ganho. A figura 4 apresenta a carta de Smith com as curvas de característica constante plotadas. Ao lado de cada curva é apresentado o valor que cada impedância pertencente aquela curva apresenta de métrica e com a cor correspondente, as setas apresentam o sentido de crescimento das métricas, de forma que a escolha da impedância seja mais fácil.

Como o objetivo do trabalho é o aumento da linearidade do PA, as curvas de \bar{P}_{out} tiveram pouco impacto na escolha da impedância final que será utilizada, pois como elas crescem junto com a EVM, fica difícil de escolher um ponto onde uma não fique pior. Dessa forma, procurou-se manter um compromisso entre a EVM e a PAE, para que o aumento na linearidade não seja acompanhado com uma piora excessiva

na eficiência. A impedância de carga (Z_{load}) escolhida foi então $Z_{load} = 14,505 + j.3,829 \Omega$, indicada em roxo na figura 4.

Com a impedância escolhida, basta Z_{load} conectada diretamente na saída do PA e realiza-se uma simulação de envelope com uma P_{in} pontual de 10 dBm, de forma a verificar como as características mudaram. A EVM nova do PA é de 10,07%, a PAE de 22,99% e o ganho do amplificador é 8,71 dB nessas condições.

C. Circuito de casamento de impedância

Em seguida, foi necessário realizar o casamento de impedância de saída para uma carga de 50 Ω . Para isso, foi usado a ferramenta Smith [8] para calcular o valor dos componentes da rede L que fizessem essa transformação.

O circuito que realiza o casamento de impedância entre o amplificador e a Z_{load} pode ser visto na figura 5, que tem topologia igual à do circuito original, os novos valores dos componentes são descritos abaixo. Após otimizações, o valor dos componentes ficou os seguintes: L1: dimensão externa de 200 μm , largura de trilhas de 12,5 μm e 2 voltas, resultando numa indutância de 1,09 nH. C3: comprimento de 26,5 μm , largura de 24,5 μm , resultando numa capacitância de 2,30 pF. L3: dimensão externa de 260 μm , largura de trilhas de 12,5 μm e 2 voltas, resultando numa indutância de 1,67 nH. Com os novos componentes, tendo em vista às perdas devido aos componentes parasitas dos indutores e capacitor, a EVM

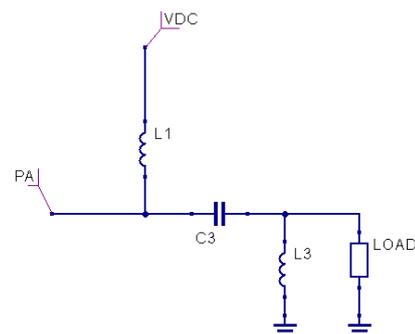


Fig.5. Rede de casamento de impedância

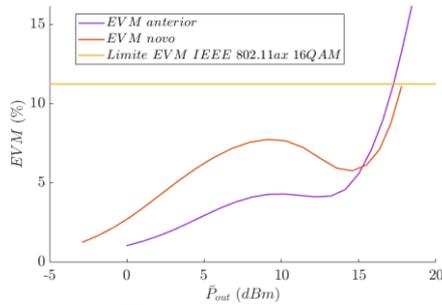


Fig. 6. EVM (%) x \bar{P}_{out} para os dois circuitos testados

simulada é de 11,11%, com uma PAE de 18,34% e um ganho de 7,77 dB.

D. Comparação

Foram também compilados gráficos com o objetivo de comparar o circuito original e o circuito depois do casamento de impedância projetado. A figura 6 apresenta a EVM para os dois circuitos, junto com o limite de EVM da norma para a modulação 16QAM, que é de 11,25%. No circuito original a \bar{P}_{out} máxima que ele podia atingir sem ultrapassar o valor da norma é de 17,24 dBm. A partir dessa figura observa-se que nenhum ponto da EVM do circuito novo ultrapassa o limite de EVM da norma, até uma \bar{P}_{out} de 17,77 dBm, e a partir de 15 dBm, ele apresenta uma linearidade maior também.

A figura 7 apresenta a PAE para os dois circuitos. Desse gráfico observa-se que a eficiência do circuito novo é pior em todas as potências de entrada testadas, e ela piora com o aumento da potência, sendo que, em $\bar{P}_{out} = 15$ dBm, a diferença é de quase 10 p.p.

A figura 8 apresenta o ganho de potência apresentado pelos dois circuitos. Desse gráfico percebe-se que o ganho de potência ficou mais baixo e com uma variação maior em baixas e médias potências o que faz com que a EVM piore nessa faixa também, embora mantendo-se abaixo do limite especificado. Com esses 3 gráficos é possível fazer uma comparação entre o PA antes da nova rede e depois.

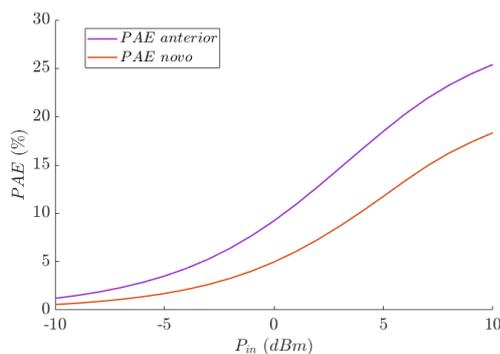


Fig. 7. PAE (%) x \bar{P}_{out} para os dois circuitos testados

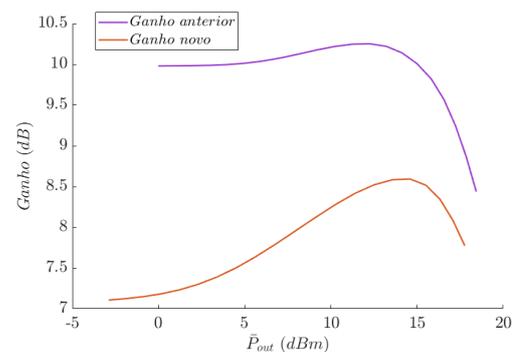


Fig. 8. Ganho (dB) x \bar{P}_{out} para os dois circuitos testados

IV. CONCLUSÃO

O objetivo principal desse trabalho foi a caracterização de um amplificador de potência com o padrão de sinais IEEE 802.11ax, além de projetar um novo OMC de modo a melhorar a linearidade do circuito.

Com a P_{in} de 10 dBm testada, o amplificador apresenta uma EVM acima do valor permitido para a norma, de modo que, ele não poderia ser usado para amplificar esse tipo de sinal, operando com aquela potência de entrada. Porém, mudando a OMC, observa-se que a EVM fica abaixo desse limite apontado pela norma, fazendo com que o PA possa ser usado. Esse resultado é muito interessante, pois mostra que se for desejado que o amplificador opere numa potência maior sem ultrapassar esse limite, não é necessário mudar a topologia do circuito todo, sendo necessário fazer apenas algumas simulações de *loadpull* e uma mudança no circuito de casamento de saída. Porém isso vem com uma piora significativa na eficiência do circuito e no seu ganho.

REFERÊNCIAS

- [1] Y. Li, B. Bakaloglu and C. Chakrabarti, "A comprehensive energy model and energy-quality evaluation of wireless transceiver front-ends," IEEE.
- [2] Santos, F.G., Leite, B.R.B.d.A. & Mariano, A.A. A multimode CMOS PA with a single propagation path. *Analog Integr Circ Sig Process* 108, 421–435 (2021).
- [3] Tarar, Mohsin Mumtaz et al. "A compact broadband stacked medium power amplifier in standard 65 nm CMOS technology." *Analog Integrated Circuits and Signal Processing* 89 (2016): 327-335.
- [4] Dabag, Hayg et al. "Analysis and Design of Stacked-FET Millimeter-Wave Power Amplifiers." *IEEE Transactions on Microwave Theory and Techniques* 61 (2013): 1543-1556.
- [5] Pornpromlikit, Sataporn et al. "A Watt-Level Stacked-FET Linear Power Amplifier in Silicon-on-Insulator CMOS." *IEEE Transactions on Microwave Theory and Techniques* 58 (2010): 57-64.
- [6] Montaseri, Mohammad Hassan et al. "Optimum Number of Transistors in Stacked CMOS Millimeter-Wave Power Amplifiers." *2018 IEEE International Symposium on Circuits and Systems (ISCAS)* (2018): 1-4.
- [7] Spectre Circuit Simulator and Accelerated Parallel Simulator RF Analysis in ADE Explorer User Guide, Product Version 21.1, June 2022
- [8] Smith V2.0, developed by Prof. Fritz Dellsperger, J. Tschirren, R. Wetzel, M. Aebersold e M. Baud, 1995 – 2004 Berne University of Applied Science