

SeMicro-PR 2018

Amplificador de Potência Banda Larga 2-5GHz 5G com Compatibilidade 4G e Wi-Fi

A. T. Hara¹, A. A. Mariano¹, B. Leite¹

¹UFPR, Curitiba, Brasil

artuhara@ufpr.br, mariano@ufpr.br, leite@eletrica.ufpr.br

Resumo — Este artigo apresenta o desenvolvimento e os resultados de post-layout de um amplificador de potência (PA) para aplicações de 5G com compatibilidade retroativa ao 4G e Wi-Fi, integrado em CMOS 130nm. O circuito é composto de dois estágios, o primeiro é responsável por uma pré-amplificação do sinal a ser transmitido, e o segundo estágio é um driver de potência, ambos com comportamento banda-larga. Assim o PA opera na faixa de 2-5GHz, com consumo de potência DC de 104mW em 2GHz, ganho de 20,9dB em 3GHz, potência de saturação (P_{sat}) de 21,6dBm em 3GHz, e eficiência de potência acrescentada (PAE) máxima de 22,4% em 2,5GHz.

I. INTRODUÇÃO

O 5G é a quinta geração de sistemas de comunicação global que ampliará a Internet atual com novos serviços, novos negócios, além da Internet das Coisas, assim como as comunicações móvel, automotiva e industrial. Ao mesmo tempo, a demanda pelos serviços comuns de banda larga móvel continuará a aumentar, levando a necessidade de uma capacidade de dados onipresente em todas as regiões. Em comparação com o 4G LTE, as redes de acesso por rádio de quinta geração precisarão suportar requisitos muito mais diversificados, com uma ampla gama de recursos, aliado a uma compatibilidade retroativa, com reaproveitamento de infraestrutura e disponibilidade de espectro de frequências como o sub-6GHz. Com base nesses contextos este trabalho propõe o projeto de um PA banda larga que atenda a rede celular 5G flexível e escalável. Este PA atuará nas frequências sub-6GHz (5G [1] e LTE) para comunicação de radio celular, de forma a se ter compatibilidade retroativa com o 4G [2], e também de WiFi (padrões IEEE802.11 2.4GHz e 5GHz). Sendo um componente integrado, eliminam-se outros componentes de amplificação, não é mais necessário um amplificador para cada uma das bandas citadas. Assim se consome menos energia em equipamentos portáteis. Isto pode ser viabilizado quando se acrescentar um circuito de controle e um combinador ao PA proposto, como mostra a Figura 1,

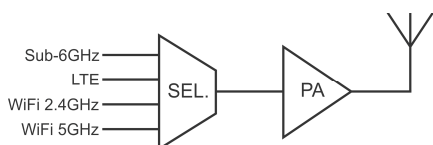


Fig. 1 – O PA proposto no contexto de compatibilidade.

que seleciona a frequência utilizada pela comunicação atual. Deste modo o PA pode se reconfigurar conforme o uso momentâneo de comunicação do celular. Imaginemos o caso em que um usuário esteja falando ao smartphone, fora de casa e esteja utilizando uma rede de radio celular. E caminhando, vai para dentro da casa, então o sistema 5G com protocolos de alto nível [3] comuta para se utilizar o WiFi, e o usuário pode continuar conversando ao celular sem notar essa comutação. Esta situação de uso é prevista pelo padrão 5G, que direcionará tanto a comunicação em termos de celular como de canal de voz VoIP.

II. ARQUITETURA DO AMPLIFICADOR

O PA desenvolvido é da classe AB com boa linearidade e eficiência. Buscou-se um casamento de impedâncias, tanto na entrada como na saída em 50Ω. Possui dois estágios chamados de Estágio de Pré-Amplificação PPA e Estágio de Potência. Adotou-se o transistor NFET RF *triple-well* como elemento principal de amplificação. Comparando-se com um transistor NFET RF LVT, o primeiro tipo possui perdas menores de corrente de corpo. Os transistores *triple-well* são normalmente utilizados em componentes digitais. Mas também em eletrônica analógica nos amplificadores de baixo ruído, onde se destaca o seu bom isolamento melhorando a figura de ruído [4]. Por último podem ser usados como amplificadores de potência, com sua propriedade de permitir aplicar tensão no poço interno do tipo P chamado de corpo (*body* ou *backgate*). Por serem mais robustos, aceitam tensão maior entre fonte e corpo em relação ao transistor NFET RF normal. Isto faz com que cargas negativas possam ser injetadas aumentando-se o canal do MOSFET e a depleção, e consequentemente aumentando o fluxo de corrente e o ganho de potência. Um transistor NFET RF *triple-well*, como visto na Figura 2 desenhada por [5], tem uma camada do corpo (*body* ou *P-well*) separada do substrato (*P-substrate*) por um poço N (*deep N-well*), isolando aquela camada do substrato. A tensão de limiar (*threshold*) V_{th} conforme a Equação 1, sofre influência da tensão V_{bs} entre fonte (*source*) e corpo, por meio do efeito de corpo (*backgate*) que atua na região de depleção e na camada de inversão [6]. A Equação 2 calcula a constante do efeito de corpo. Assim temos que:

$$V_{th} = V_{th0} + \gamma \left(\sqrt{-V_{bs} - 2\phi_p} - \sqrt{-2\phi_p} \right) \quad (1)$$

$$\gamma_n = \frac{\sqrt{2q\epsilon_s N_a}}{C_{ox}} \quad (2)$$

$$V_{gs} > V_{th} \quad (3)$$

Com $V_{bs} < 0$ aumenta-se o potencial (*build-up*) sobre o semiconductor. A região de depleção na fonte precisa ser alargada para se produzir o campo extra requerido. Se V_{bs} for negativa, irá evitar uma polarização direta da junção corpo-fonte (*body-source*) aumentando a região de depleção, isto aumenta as cargas na camada corpo e consequentemente a tensão V_{th} [7]. A Figura 3 apresenta o esquemático do PA com os estágios implementados, os circuitos de entorno, como os de polarização e de casamento de impedância, tanto na entrada como na saída.

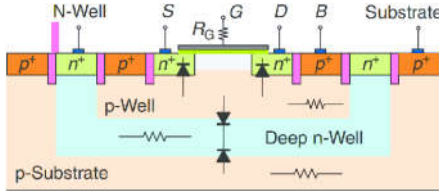


Fig. 2 – Construção interna do transistor triple-well [5].

III. DESIGN DO AMPLIFICADOR DE POTÊNCIA

A. Estágio de Pré-Amplificação PPA

A rede de casamento de entrada é construída a partir de um filtro *Butterworth* de terceira ordem configurado para passa alta de 2GHz. Este filtro fica ligado a uma rede L-match sintonizada em 2GHz. Esta rede de entrada influencia o ganho final do PA e foi ajustada para se ter o maior ganho possível, S_{21} acima de 15dB, e uma larga faixa de frequências onde $S_{11} < -10$ dB. Com as simulações se obtém os valores de impedância de entrada que são úteis para se montar a rede de casamento de entrada. Tudo isto para se ter um menor índice de perdas por reflexão medida no parâmetro S_{11} . O transistor T2 é auto polarizado mediante o resistor R3 conectado à alimentação V_{dd1} . Outro circuito de polarização é uma fonte de tensão por V_{ds} (dreno-fonte) fixo com resistor e transistor, sendo aplicada externamente a tensão V_{pol1} de 1V. O amplificador do PPA é composto por um indutor de carga L7 com dimensão física de 300 μ m e sintonizada nos 2 GHz. E dois indutores menores L2 e L3 que ajustam a faixa de frequência para se ter um comportamento banda larga. L2 permite a passagem da faixa em banda larga, e L3 juntamente

com C3 compõe um circuito ressonante série para selecionar a maior frequência final da banda, em torno dos 5GHz. Este circuito ressonante também faz reutilização de corrente para melhorar a amplificação deste estágio [8]. É um amplificador em topologia convencional *Cascode*, formado por 12 conjuntos, cada um tem um transistor T2 CG (*common-gate*) empilhado sobre um transistor T4 CS (*common-source*). Estes conjuntos em paralelo usam transistores do tipo NFET RF *triple-well*. Tal topologia tem um melhor isolamento da saída pela maior resistência também de saída e aumentando o ganho do PA. O sinal vindo da rede de casamento de entrada é aplicado à porta (*gate*) do transistor de entrada do *Cascode* em modo CS, juntamente com a tensão de polarização V_{pol1} . Os transistores CG e CS tem o mesmo tamanho, com os parâmetros $w=64\mu$ m e $l=120$ nm, sendo o w efetivo de 768 μ m. Este *Cascode* tem os seus transistores acoplados de forma singular tendo ao centro da topologia um indutor de ajuste de frequências L2 já descrito. A alimentação do PPA é feita por uma fonte V_{dd1} de 1,6V que é aplicada no indutor de carga L7. Fez-se uma otimização do tamanho físico dos indutores sem se alterar o valor de indutância. Isto foi feito diminuindo-se o diâmetro gradativamente e alterando o valor da largura do enrolamento. Apenas o indutor de carga não pode ser reduzido por se perder muita potência de saída. Os demais indutores puderam ser reduzidos em mais de 40% do tamanho original, isto é, começaram com 300 μ m de diâmetro e foram reduzidos até 160 μ m, resultando em economia de espaço.

B. Estágio de Potência

Há um acoplamento entre o PPA e o estágio de potência feito por um capacitor em série CC0 ajustado para se ter um bom casamento de impedância entre os estágios. O circuito de polarização é uma fonte de tensão semelhante ao do estágio PPA, com aplicação da tensão V_{pol2} de 0,9V externamente. Este estágio é um driver de potência que também utiliza topologia *Cascode*, são dois conjuntos de 13 unidades em paralelo, desta vez usando os transistores normais NFET RF simbolizados por M1 e M2. Previamente foram comparados os transistores *triple-well* com os normais e não houve melhoras de desempenho para este estágio, e os transistores normais ocuparam uma área menor. O sinal vindo do acoplamento entra pelo transistor CS. O transistor em CD dreno comum tem sua porta ligada à uma rede de estabilização com dois circuitos RC-série conectados em paralelo. Esta rede melhora o coeficiente u de estabilidade do PA e diminui os picos na curva de ganho de potência, suavizando esta curva de

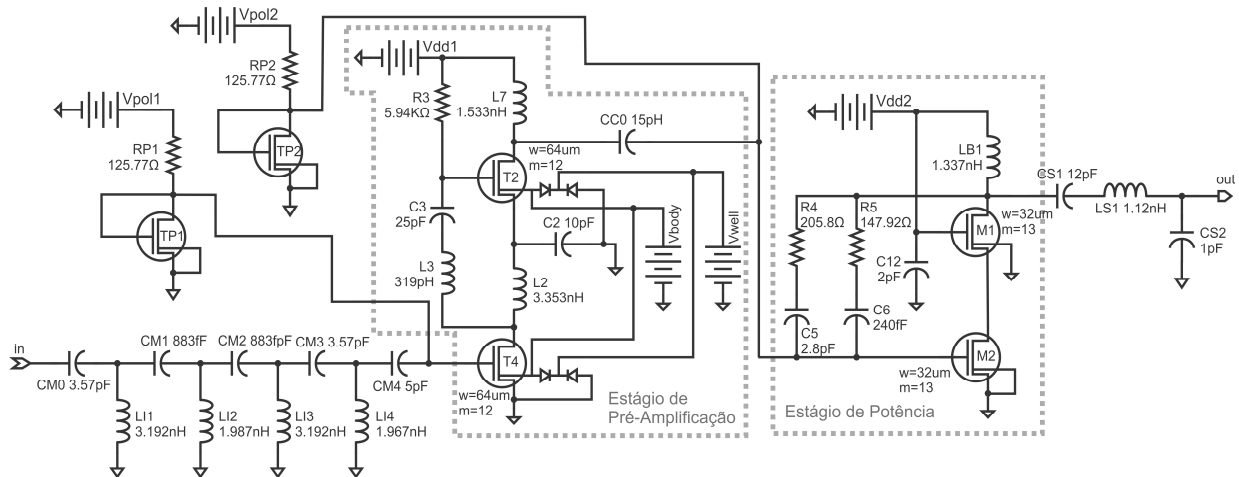


Fig. 3 – O esquemático com os circuitos do PA proposto.

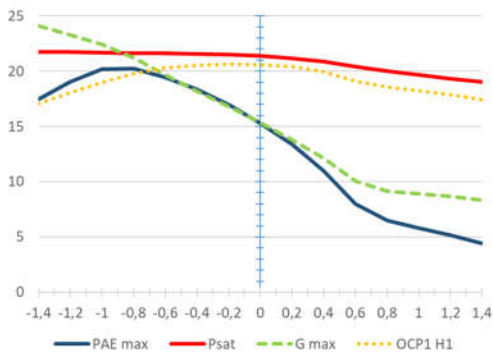


Fig. 4 – Parâmetros de desempenho por V_{body} (V).

forma plana. Este estágio também aproveita todas as vantagens descritas no estágio anterior referentes a topologia *Cascode*. A dimensão de todos estes transistores é igual, sendo $w=32$ um e $l=120$ nm, e o valor de w efetivo de 416 um. O indutor de carga LB1 não pode ter seu tamanho físico reduzido. Este estágio também foi utilizado para viabilizar as simulações *load-pull* de modo a se realizar o casamento de saída do PA.

IV. SIMULAÇÕES

Utilizando-se as ferramentas disponíveis no sistema Cadence Virtuoso, de início foram editados os esquemáticos concebidos para os dois estágios do PA. Em seguida foram realizadas simulações no módulo ADEXL para se otimizar os circuitos, ajustando-se os valores dos componentes. Nesta etapa foi possível visualizar o comportamento do circuito gerando-se as curvas de parâmetros S para se melhorar os casamentos de impedância tanto de entrada como de saída, observar o nível de isolamento e ajustar iterativamente. Por uma varredura de frequências, a rede sintonizada em 6 GHz apresentou o melhor desempenho de potência na saída. Foi encontrado o valor ideal de impedância de saída de $8,9788+j2,1128$ e a partir deste valor, uma rede L-match sintonizada naquela frequência foi projetada. Depois do casamento de impedâncias e valores finais de dimensionamento dos transistores, foi traçado o layout do circuito e feita a extração de componentes parasitas. Foram feitas diversas simulações de post-layout, do tipo balanço harmônico, com potência de entrada variando de -30 dBm a +30 dBm, para se conseguir um resultado otimizado de parâmetros de desempenho a seguir listados: PAE máximo, ganho de potência máximo, potência de saturação de saída, ponto de compressão a -1 dB e potência DC máxima. Foi necessário testar as tensões de alimentação em Vdd1 e Vdd2, assim como as tensões de polarização Vpoll e Vpol2, e por fim a tensão injetada no poço P dos transistores *triple-well* do estágio PPA, V_{body} . O foco das otimizações foi conseguir o maior parâmetro OCP1 possível, nas menores tensões de alimentação viáveis, de forma que o PA tivesse baixo consumo. O melhor valor de tensão Vdd1 foi 1,6V e para Vdd2 2,5V. Fixando-se uma frequência de teste de 3,5GHz variando-se o valor de V_{body} de -1V a +1V observou-se que quanto menor esta tensão o PAE aumentava, mas havia uma redução no OCP1 e foi plotado na Figura 4. Assim obteve-se um valor otimizado de V_{body} de -0,6V para o qual os valores de OCP1 e PAE ficaram aceitáveis. Para as melhores tensões

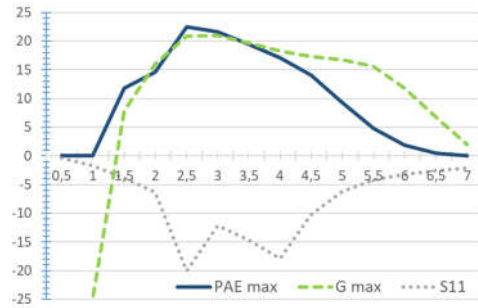


Fig. 5 – Valores de PAE (%), Ganho (dB) e S11 (dB) pela frequência (GHz).

de alimentação testadas se obteve a faixa de OCP1 com os maiores valores, que ficaram acima de 15 dBm, entre 1,5 GHz a 5 GHz. Nessa faixa o parâmetro Psat ficou acima de 19 dBm. A partir dos 2,5 GHz houve um bom ganho, de 20,8 dB continuando até os 5 GHz em 16,7 dB. O PAE teve um pico de 22,4% em 2,5 GHz e ficando acima de 14% entre 2 GHz e 4,5 GHz. Estes resultados estão mostrados nas Figuras 5 e 6.

V. ANÁLISE DE DESEMPENHO

Para se comparar o desempenho do PA proposto foi montada a Tabela 1 com o estado da arte. Em [8] é apresentado um PA com reuso de corrente, ganho de potência de 10,3dB e PAE de 40,5%. O PA proposto teve um ganho de potência maior e obteve um PAE satisfatório de 22,4%. Embora tal artigo afirme que seu PA fosse banda larga de 2,6-5GHz, efetivamente o isolamento de entrada mostrado no parâmetro S11 limitou a faixa de frequência para 4-5GHz. O PA proposto conseguiu um bom isolamento na faixa de 2,1GHz a 4,5GHz, pois os valores de S11 ficaram abaixo dos -10 dB. O OCP1 máximo alcançado era de 8dBm enquanto no PA proposto ficou maior que 19dB de 1,5GHz a 4,5GHz. Já o PA em [9] foi testado inicialmente com alimentação de 7,2V; assim se obteve um Psat de 26,1dBm; OCP1 de 22,5dBm e um PAE máximo de 11%. O autor testou várias tensões de alimentação e observou que o aumento em Psat e OCP1 é diretamente proporcional ao aumento da tensão de alimentação. Mas ocorreu um efeito indesejado, a melhora em OCP1 e Psat sacrificou o comportamento do PAE, que diminuiu, e terminou seu experimento chegando aos valores otimizados menores mostrados na Tabela 1 conseguindo reduzir a alimentação para 4,5V e mantendo os parâmetros de desempenho aceitáveis. Para o PA proposto, baixando-se mais a alimentação para 2,5V obteve-se um PAE maior e valores

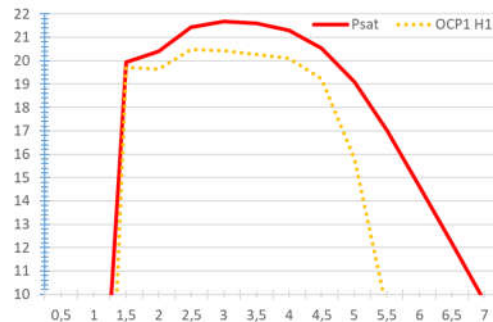


Fig. 6 – Valores de Psat (dBm) e OCP1 (dBm) pela frequência (GHz).

TABELA 1. COMPARAÇÃO DE DESEMPENHO

Referência	Ano	Tecnologia	Dim.(nm)	Banda(GHz)	Ganho(dB)	PAE(%)	P _{sat} (dBm)	P _{dc} (mW)	V _{dc} (V)
[8]	2010	CMOS	180	2,6-5	10,3	40,5	8,0	24	1,8/1,5
[9]	2013	CMOS	45	6-26	--	20,5	21,7	--	4,5
[10]	2015	CMOS	180	2,4	15,9	37,0	14,0	10,69	1,8
[11]	2017	SiGe	130	8-11,5	15,8	51,1	26,3	--	3,0
Este projeto	2018	CMOS	130	2-5	20,9	22,4	21,6	104	1,6/2,5

ainda altos de P_{sat} e OCP1. O artigo [10] relata que um PA banda estreita alimentado a 1,8V trabalhando a 2,4GHz, conseguiu um P_{sat} de 14,08 dBm e um PAE de 37% com ganho máximo de 15,91 dB. Quando se reduz a tensão de alimentação, o desempenho do PA em termos de potência de saturação e eficiência se degradam. O PA proposto se comportou para uma configuração de V_{dd1}=1,6V e V_{dd2}=1,8V e operando na faixa de 1,5GHz a 4,5GHz com o atingimento de um P_{sat} com valores maiores de 17 dBm. Finalmente em [11] tem-se um PA feito com uma tecnologia distinta, a 130nm SiGe BiCMOS, que operou em banda larga na faixa de 8,6-11,2GHz; obteve um PAE de 53,4%, um P_{sat} de 26,1dBm, um ganho plano acima de 15dB e abaixo de 16,1dB na faixa referida utilizando alimentação de 3V. Com uma tensão menor de 2,5V o PA proposto apresentou uma curva de ganho plana entre 2,5-5,5GHz ficando este parâmetro entre os valores 15,5 dB e 20,9 dB satisfatórios.

CONCLUSÃO

Um PA banda larga de dois estágios utilizando reuso de corrente operando na faixa de 2,1GHz a 4,5GHz foi proposto e seu layout finalizado, conforme a Figura 7. Os resultados das simulações de post-layout foram consumo de potência DC de 104mW em 2GHz, ganho de 20,9dB em 3GHz, potência de saturação (P_{sat}) de 21,6dBm em 3GHz, e eficiência de potência acrescentada (PAE) máxima de 22,4% em 2,5GHz. O valor de OCP1 maior que 15dBm por toda a faixa de 1,5GHz a 5GHz permitiu fornecer uma boa potência para equipamentos de comunicação, viabilizando a compatibilidade retroativa. Como trabalho adicional, pode-se melhorar a linearização do PA proposto pela implementação de um pré-distorsor digital por meio de sistema. Para trabalhos futuros ficaria o desenvolvimento do circuito de controle e o combinador de entrada para o PA deste trabalho.

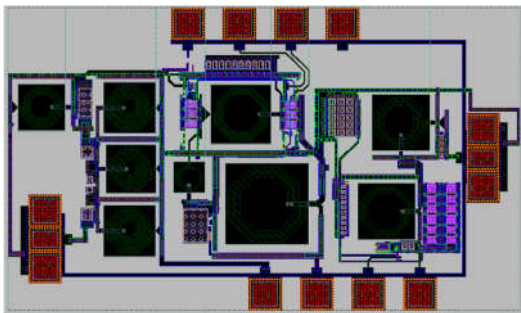


Fig. 7 – Layout do PA Proposto.

REFERÊNCIAS

[1] IEEE, IEEE 5G and Beyond Technology Roadmap White Paper, IEEE 5G, IEEE The Institute of Electrical and Electronics Engineers, Inc., 2017. Available in:

<https://5g.ieee.org/images/files/pdf/ieee-5g-roadmap-white-paper.pdf>

- [2] ITU, “Frequency arrangements for implementation of the terrestrial component of International Mobile Telecommunications (IMT) in the bands identified for IMT in the Radio Regulations (RR)”, ITU, 2015. Available in: http://www.itu.int/dms_pubrec/itu-r/rec/m/R-REC-M.1036-5-201510-1!!PDF-E.pdf
- [3] Andreas Maeder; Amaanat Ali; Anand Bedekar; Andrea F. Cattoni; Devaki Chandramouli; Subramanya Chandrashekar; Lei Du; Matthias Hesse; Cinzia Sartori; Samuli Turtinen, “A Scalable and Flexible Radio Access Network Architecture for Fifth Generation Mobile Networks”, IEEE Communications Magazine, Vol.54, Issue:11, pp.16-23, 2016. 07744804.pdf.
- [4] Steve C. Cripps, “RF Power Amplifiers For Wireless Communications”, 2nd ed., Artech House, Norwood, 2006. ISBN 1-59693-018-7.
- [5] Mohammad A.S. Bhuiyan¹, Yeoh Zijie¹, Jae S. Yu, Mamun B.I. Reaz¹, Noorfaz ila Kamal¹ and Tae G. Chang, " Active inductor based fully integrated CMOS transmit/receive switch for 2.4 GHz RF transceiver ", Anais da Academia Brasileira de Ciências (2016) 88(2): 1089-1098, ISSN 1678-2690. <http://dx.doi.org/10.1590/0001-3765201620150123>. www.scielo.br/aabc
- [6] Frank Ellinger, “Radio Frequency Integrated Circuits and Technologies”, Springer-Verlag, Berlin, 2007. ISBN 3-540-35788-2.
- [7] John W. M. Rogers and Calvin Plett, “Radio Frequency Integrated Circuit Design”, Artech House, Norwood, 2010. ISBN 978-1-60783-979-8
- [8] S.A.Z. Murad; R.K. Pokharel; R. Sapawi; H. Kanaya; K. Yoshida, “High Efficiency, Good Linearity, and Excellent Phase Linearity of 3.1-4.8 GHz CMOS UWB PA with a Current-Reused Technique”, IEEE Transactions on Consumer Electronics, Vol.56, Issue:3, 2010. DOI:10.1109/TCE.2010.5606253, 05606253.pdf
- [9] Jing-Hwa Chen; Sultan R. Helmi; Reza Azadegan; Farshid Aryanfar; Saeed Mohammadi, “A Broadband Stacked Power Amplifier in 45-nm CMOS SOI Technology”, IEEE Journal of Solid-State Circuits, Vol. 48, No. 11, Nov. 2013. 06583302.pdf
- [10] Santosh B. Patil; Rajendra D. Kanphade, “Design and Analysis of a 2.4 GHz Fully Integrated 1.8V Power Amplifier” in TSMC 180nm CMOS RF Process for Wireless Communication. 2015 International Conference on VLSI Systems, Architecture, Technology and Applications (VLSI-SATA), 2015. 07050483.pdf
- [11] Inchan Ju; John D. Cressler, “A Highly Efficient X-Band Inverse Class-F SiGe HBT Cascode Power Amplifier with Harmonic-tuned Wilkinson Power Combiner”, IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. PP, Issue:99, 2017. DOI 10.1109/TCSII.2017. 2759027. 08057260.pdf