

SeMicro-PR 2018

# Simulação de amplificador de potência CMOS reconfigurável com combinação de potência

J. P. Perbiche, F. Santos, B. Leite, A. A. Mariano  
GICS-UFPR  
Curitiba, Brasil  
joaopauloperbiche@gmail.com

**Resumo**—Este trabalho consiste no projeto e simulação de um amplificador de potência (PA) com 6 modos de operação em tecnologia CMOS de 130 nm para aplicações em 2,4 GHz. O PA realizado é composto por um divisor de potência ideal, dois amplificadores unitários em paralelo e um combinador ideal. Cada um dos amplificadores unitários, por sua vez, são formados por 3 células cascode que podem ser habilitadas individualmente, totalizando 8 modos de operação. Dessa maneira o PA proposto possui ao total 64 possíveis cenários de amplificação realizáveis. Desses 64, 6 foram selecionados baseando-se na melhor combinação entre linearidade, eficiência e ganho de potência. O modo de operação de melhor desempenho geral apresentou um ganho de potência (GP) de 14,6 dB, um ponto de compressão de 1 dB ( $OCP_{1dB}$ ) de 25,3 dBm e um consumo de potência DC ( $P_{DC}$ ) de 2,5 W. O modo de menor desempenho, por sua vez, apresentou 8 dB de GP, 20,1 dBm de  $OCP_{1dB}$  e 0,9 W  $P_{DC}$ .

## I. INTRODUÇÃO

O amplificador de potências (PA) é o elemento responsável por promover sinais para grandes potências em uma cadeia de transcepção de RF. Uma das maneiras de um PA fornecer níveis de potência de saída superiores aos limites impostos pela tecnologia é a utilização da técnica de combinação de potência com células amplificadoras em paralelo [1].

Entre as vantagens dessa técnica aplicada à PAs CMOS, ressaltam-se: reconfigurabilidade e baixo custo. A primeira relaciona-se aos PAs que usam taxas de dados de transmissão selecionáveis ou operam em níveis diferentes de potência de saída ( $P_{OUT}$ ). Como resultado, o PA pode ser comutado para um modo de operação de baixo consumo de energia para uma baixa taxa de transmissão ou curto alcance [2]. A segunda, por sua vez, relaciona-se a integração de componentes passivos e de dispositivos RF ao processo CMOS, viabilizando tanto a operação quanto a integração na faixa de GHz [2], e, consequentemente, a escalabilidade do sistema com a do processo. Neste trabalho, um combinador de duas entradas baseado em transformadores ideais é utilizado

para combinar a potência de saída de 2 PAs unitários para aplicações de redes de comunicação sem fio em 2,4 GHz. A seção II apresenta o circuito do amplificador unitário e a configuração da combinação de potência. Na seção III são apresentados e discutidos os resultados de simulação do circuito proposto.

## II. METODOLOGIA

### A. Amplificador de potência

O bloco que determina a eficiência geral de um sistema transceptor é o PA [3]. Um PA de um único estágio a 2,4 GHz em CMOS 130 nm, baseado no circuito apresentado em [4] foi utilizado para concepção do amplificador diferencial. A Fig. 1 demonstra seu esquemático diferencial, no qual os circuitos (1) e (2) correspondem a rede de casamento de impedância, (3) é circuito de referência de tensão e (4) é o estágio de potência reconfigurável composto por três células de amplificação diferenciais com topologia cascode (A, B e C).

Para o PA diferencial, a reconfiguração é realizada a partir das 3 células amplificadoras com dimensões variadas representado em (4). Essas células serão comutadas uma a uma, com a aplicação de nível alto lógico ( $V_{DD}$ ) ou baixo (gnd) nas entradas EnA, EnB e EnC

Cada célula de potência possui diferente largura de canal, a célula “A” apresenta os transistores com maiores larguras (400  $\mu\text{m}$ ), a célula “B” apresenta largura intermediária (300  $\mu\text{m}$ ) e a “C” apresenta os transistores com menores larguras (175  $\mu\text{m}$ ).

Essas estruturas são ativadas pela aplicação de um alto nível lógico na porta do transistor em cascata superior. Por exemplo, se  $V_{DD}$  for aplicado em “EnB” e gnd em “EnA” e “EnC”, a célula “B” é ativada enquanto “A” e “C” permanecem inativas. Consequentemente, a potência de saída ( $P_{OUT}$ ) entregue à carga é devida somente à célula “B”. Quando duas ou mais células são ativadas, a largura de canal resultante é expressa pela adição das suas larguras, fornecendo maior potência quanto maior for a largura resultante.

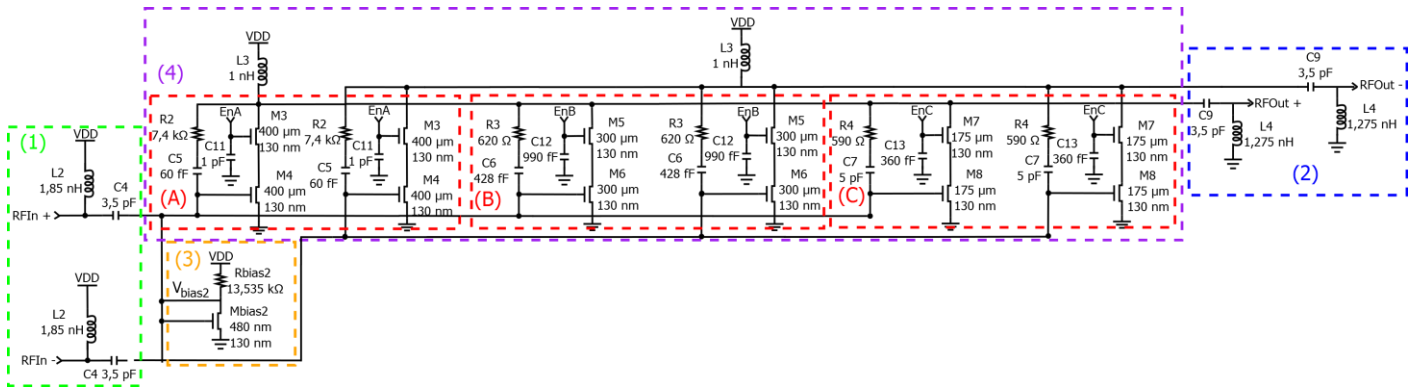


Fig. 1 - Esquemático do PA diferencial

Essa reconfiguração tem a capacidade de fornecer 8 modos de operação para único PA diferencial. Quando somente uma célula, “A”, “B” ou “C”, for acionada, tem-se um nível de baixa potência. Com duas dessas estruturas são acionadas têm-se modos intermediários de potência e tem-se o modo de alta potência somente para o caso em que todas as células estão em nível alto. Uma tensão de 1,8 V foi utilizada para a fonte de alimentação ( $V_{DD}$ ). A tensão de referência  $V_{Bias2}$  é gerada internamente (bloco 3 na Fig. 1), com valor de 780 mV.

### B. Combinação paralela de 2 PAs

A Fig. 2 contém a configuração da simulação adotada, para um circuito com dois PAs diferenciais, um divisor e um combinador de potência ideais. Os PAs são conectados em paralelo, e sua associação através do combinador é realizada em série. Nesse caso há três células de amplificação para o PA<sub>1</sub> e PA<sub>2</sub>, que são acionados através de seus sinais “EnA”, “EnB” e “EnC” separadamente. Essas seis entradas serão comutadas gradualmente, resultando em 64 possíveis modos de operação.

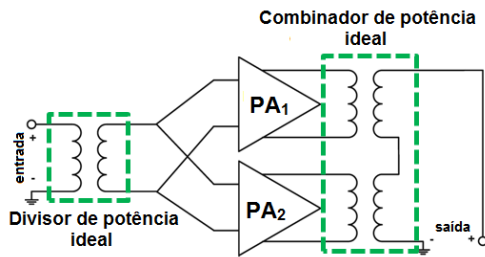


Fig. 2 - Combinação paralela de 2 PAs

## III. RESULTADOS

A validação do sistema é realizada a partir de simulações de equilíbrio harmônico com auxílio da ferramenta Cadence Spectre RF. O circuito simplificado de simulação representado na Fig. 2, foi utilizado para avaliar o ponto de compressão de 1 dB ( $OCP_{1dB}$ ), a eficiência de potência adicionada (PAE), ganho de potência (GP) e o consumo de potência contínua fornecida pela fonte de alimentação ( $P_{DC}$ ) na frequência de 2,4 GHz. Essas métricas foram avaliadas para os 64 possíveis modos de operação. A partir desses 64 casos,

foram selecionados 6 modos principais. O primeiro critério de escolha foi possuir um GP superior a 8 dB, e nesse faixa de ganho foram escolhidos os casos que possuem maior  $OCP_{1dB}$ . A partir do primeiro  $OCP_{1dB}$  correspondente ao ganho de potência de 8 dB, o próximo a ser selecionado foi com um acréscimo de 1 dB no  $OCP_{1dB}$ , obedecendo o critério de ganho maior que 8 dB. Finalmente entre os modos que atendem esses critérios são escolhidos os que possuem baixo consumo de  $P_{DC}$ .

A Tabela 1 e Tabela 2 reúnem os resultados para os modos de operação selecionados conforme os critérios detalhados.

Nota-se que para os dois primeiros modos é necessário acionar somente 2 células de potência, para os modos 3, 4, 5 e 6 são necessários 3, 4, 5 e 6 células respectivamente. Conforme o dimensionamento realizado, e com os modos selecionados, nota-se que o EnB<sub>1</sub> está sempre em nível lógico alto, e, portanto, em todos os casos conectados a  $V_{DD}$ .

TABELA 1. MODOS DE OPERAÇÃO

| Modo de op. | EnA <sub>1</sub> , EnB <sub>1</sub> , EnC <sub>1</sub><br>EnA <sub>2</sub> , EnB <sub>2</sub> , EnC <sub>2</sub> |
|-------------|--|
| 1           | [0 1 0 0 1 0]  |
| 2           | [0 1 0 1 0 0]  |
| 3           | [0 1 1 0 1 0]  |
| 4           | [0 1 0 1 1 1]  |
| 5           | [1 1 1 0 1 1]  |
| 6           | [1 1 1 1 1 1]  |

TABELA 2. RESULTADOS DE SIMULAÇÃO PARA OS 6 MODOS DE OPERAÇÃO

| Modo de op. | $OCP_{1dB}$ [dBm] | Ganho [dB] | PAE [%] | $P_{DC}$ [W] |
|-------------|-------------------|------------|---------|--------------|
| 1           | 20,1              | 7,9        | 11,10   | 0,9          |
| 2           | 21,2              | 8,7        | 13,6    | 1,0          |
| 3           | 22,1              | 9,7        | 15,7    | 1,2          |
| 4           | 23,0              | 11,9       | 20,4    | 1,7          |
| 5           | 24,4              | 13,1       | 25,0    | 1,9          |
| 6           | 25,3              | 14,6       | 29,9    | 2,5          |

Na Fig. 3 pode-se observar o comportamento do GP em relação à  $P_{OUT}$ . Nota-se que o menor ganho foi de aproximadamente 8,0 dB para o modo 1 e o maior valor

de 14,6 dB para o modo 6. Com esse requisito de ganho superior a 8 dB, a métrica do  $OCP_{1dB}$  obteve seu menor valor de aproximadamente 20,1 dBm, com menor consumo de potência, e maior valor de 25,3 dBm, para o modo com maior consumo de potência (modo 6).

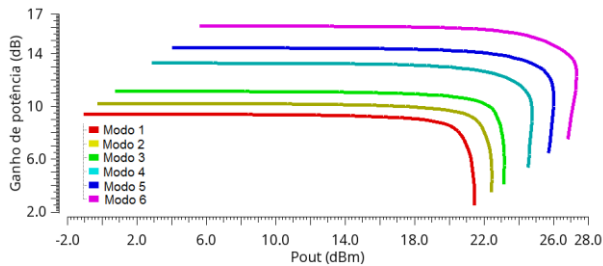


Fig. 3 - Simulação de ganho de potência em função da potência de saída

O consumo de potência contínua para todos os modos de operação selecionados está plotado na Fig. 4. Pode-se observar que o menor consumo foi para o modo 1, com aproximadamente 0,9 W. Conforme as células de amplificação são ativadas, aumenta o consumo de potência, tendo o modo 6 o maior consumo, com aproximadamente 2,5 W. Nota-se que os modos possuem uma diferença de 1 dB no ponto de compressão conforme a Tabela 2, com relação ao consumo DC, na Fig. 4, não há essa simetria.

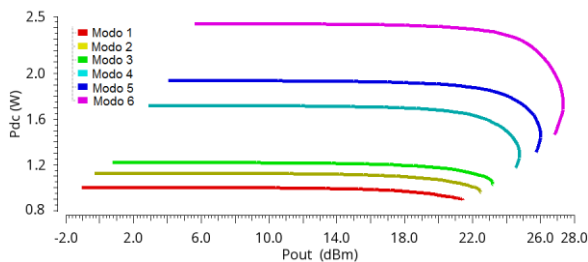


Fig. 4 - Simulação do consumo DC da fonte de alimentação

Uma avaliação da eficiência de potência adicionada (PAE) em função do seu  $P_{OUT}$  está na Fig. 5. A menor eficiência foi de 11,1 % para o modo 1 e a maior eficiência para o modo 6 foi de aproximadamente 30 %. Nem sempre um aumento na métrica de  $OCP_{1dB}$  corresponde a um acréscimo de ganho ou de eficiência, pois está diretamente relacionado ao  $P_{DC}$ . Apesar de o modo 6, possuir maior rendimento, para uma dada potência de saída, outros modos também poderiam fornecer a mesma potência, com uma eficiência superior ao do modo 6. Para um  $P_{OUT}$  de 24 dBm, por exemplo, os modos capazes de fornecer essa potência são os modos 4,5,6. O modo 4 possui rendimento de aproximadamente 15 %, superior ao rendimento de 12 % e 9 % para os modos 5 e 6 respectivamente, pois entre estes, é o que possui menor consumo de potência.

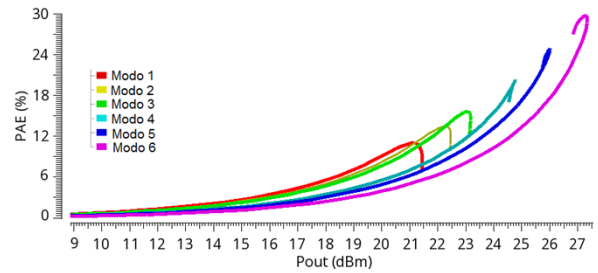


Fig. 5 - Simulação da PAE em função da potência de saída

#### IV. CONCLUSÃO

Este trabalho apresentou o projeto e simulação de um amplificador de potência com topologia paralela em tecnologia CMOS de 130 nm para aplicações em 2,4 GHz. O PA utilizado possui um único estágio a 2,4 GHz, com o estágio de potência reconfigurável, composto por três células de amplificação diferenciais com topologia cascode. Para associação de 2 PAs em paralelo foi utilizado um combinador de duas entradas baseado em transformadores ideais. Combinando esses amplificadores, totalizando 6 entradas comutáveis, resultando em 64 possíveis modos de operação.

Com o teste realizado considerando a reconfiguração do PA paralelo, foram selecionados 6 modos de operação que variaram de 20,1 dBm até 25,3 dBm para o  $OCP_{1dB}$ , com ganhos de potência que variaram de 8,0 dB a 14,6 dB. Com esta associação, foi possível obter uma eficiência máxima aproximadamente 30 %, para o modo com maior consumo de potência da fonte e também o qual apresentou maior  $OCP_{1dB}$ . A menor eficiência de 11,1 %, com o menor consumo de 0,9 W, e a maior eficiência correspondem ao maior consumo, de 2,5 W.

#### REFERÊNCIAS

- [1] D. Zhao, P. Reynaert. "A 60-GHz Dual-Mode Class AB Power Amplifier in 40-nm CMOS." *IEEE J. of Solid-State Circuits*, vol. 48, no. 10, pp. 2323-2337, Out 2013.
- [2] A. Pye, M. M Hella. "Analysis and Optimization of Transformer-Based Series Power Combining for Reconfigurable Power Amplifiers." *IEEE Transactions on Circuits and Systems*. Jan, 2011. VOL. 58, NO. 1.
- [3] S. V. Thyagarajan, A. M. Niknejad, C. D. Hull "A 60 GHz Drain-Source Neutralized Wideband Linear Power Amplifier in 28 nm CMOS" *IEEE T. on Circuits and Systems*, vol. 61, no. 8, pp. 2253-2262, Ago 2014.
- [4] F. Santos, A. Mariano, B. Leite. "2.4 GHz CMOS Digitally Programmable Power Amplifier for Power Back-off Operation" *VII Latin American Symposium on Circuits and Systems (LASCAS)* 2016.