

SeMicro-PR 2018

Implementação em Hardware de um Algoritmo de Seleção Multicritério para Reconfiguração de Amplificador de Potência

I. de S. Bezerra¹, S. B. L. França¹, O. C. Gouveia Filho¹, A. A. Mariano¹

¹Grupo de Circuitos e Sistemas Integrados (GICS) – Departamento de Engenharia Elétrica Universidade Federal do Paraná, Curitiba, Brasil
ismaelbezerra@ufpr.br

Resumo—Em sistemas de comunicação móvel a economia de energia é vital para valorização dos dispositivos. Visando o mínimo consumo de energia, este artigo propõe a implementação de um algoritmo de seleção multicritério em hardware. O circuito simulado em FPGA realiza a seleção para alternar modos de configuração de um Amplificador de Potência (PA), garantindo um bom desempenho com eficiência energética. Dentre as características do PA foi escolhida a potência de saída (POUT), em dBm, e o consumo de potência DC (PDC), em mW, como critérios de seleção. A implementação é uma adaptação da técnica TOPSIS de tomada de decisão. Usando as células padrões da tecnologia CMOS 130 nm foi obtido os resultados de consumo estático de potência 5 μ W e dinâmico 13,502 mW do circuito.

I. INTRODUÇÃO

No universo dos dispositivos móveis a satisfação dos usuários está diretamente ligada à vida útil das baterias. Em sistemas de transmissão via rádio frequência (RF), um dos circuitos mais consumidores é o amplificador de potência (PA) [1].

Uma maneira de minimizar o consumo de energia é o uso de PAs programáveis [2]. Este tipo de arquitetura, composta por um conjunto de células amplificadoras, pode ajustar-se a uma potência de saída requerida que melhor adapta-se ao consumo geral de energia [3].

Em [4] é proposto um PA de dois estágios com doze modos de operação programáveis. A escolha do melhor modo de operação, visando eficiência energética, pode ser definida mediante critérios, tais como as características de cada modo de operação do PA.

Uma abordagem que possibilita a decisão de uma melhor alternativa mediante os seus critérios já foi implementada em *software* por [5, 6].

Neste trabalho uma ferramenta de decisão é implementada em *hardware* para auxiliar na seleção do melhor modo de operação do PA proposto por [4], mediante alguns parâmetros de entrada. As características do PA usadas como critério de decisão são a potência de

saída (POUT), em dBm, e o consumo de potência DC (PDC), em mW. A seção II apresenta uma visão sobre técnicas de decisão. O desenvolvimento do método escolhido é observado na seção III. Resultados experimentais e de simulações em FPGA e tecnologia CMOS 130 nm são apresentados na seção IV. As conclusões e perspectivas de melhorias podem ser observadas na seção V.

II. ALGORITMOS DE SELEÇÃO MULTICRITÉRIO

A modelagem de um problema de decisão, utilizando métodos de decisão multicritério (MCDM) pode contar com a participação de um ou mais agentes decisórios e utilizar um ou mais critérios durante a avaliação. Cada agente decisório é responsável por definir valores de julgamentos a alguns atributos, tais como o grau de desempenho das alternativas em relação a cada critério e o peso (ou nível de pertinência) dos critérios de decisão [7].

A grande maioria dos métodos de seleção multicritério são baseados em algoritmos de redes neurais e lógica *fuzzy*. Cada critério induz a uma ordenação particular das alternativas, fazendo com que seja necessária a adoção de algum mecanismo capaz de construir uma ordenação geral de preferências, também chamada de classificação ou *ranking* [7]. Os métodos TOPSIS (*Technique for Order Preference by Similarity*) [5] e AHP (*Analytic Hierarchy Process*) [6] derivam desse modelo.

A possibilidade de divisão dos critérios em custo e benefício faz da técnica TOPSIS a mais utilizada dentre os métodos de decisão multicritério.

A. Técnica TOPSIS

A TOPSIS é uma técnica de avaliação de desempenho de alternativa através de similaridade com a solução ideal [5]. De acordo com essa técnica, a melhor alternativa seria aquela que é mais distante da solução ideal negativa e mais próxima da solução ideal positiva [8].

Esse método consiste em uma matriz de decisão A composta por alternativas, critérios e ponderada pelo nível

de pertinência de cada critério. A Equação 1 representa a matriz com parâmetros para o desenvolvimento do algoritmo.

$$A = \begin{pmatrix} p_{11} & \cdots & p_{1j} \\ \vdots & \ddots & \vdots \\ p_{i1} & \cdots & p_{ij} \end{pmatrix} \quad (1)$$

Onde as linhas são alternativas viáveis, as colunas são os critérios e p_{ij} indica o desempenho das alternativas segundo cada critério. Os valores de i e j que determinam o tamanho da matriz são descritos na seção 3. Com a matriz montada e ponderada pelos níveis de pertinência, e escolha da melhor alternativa é obtida após quatro etapas.

- **Etapa 1:** Indicar a solução ideal positiva A^+ e a solução ideal negativa A^- . As soluções ideais são compostas pelos melhores desempenhos de cada critério, seja ele de custo (e nesse caso o melhor desempenho é o menor valor) ou de benefício (no qual o melhor desempenho é o maior valor).

$$A^+ = (p_1^+, p_2^+, \dots, p_n^+). \quad (2)$$

$$A^- = (p_1^-, p_2^-, \dots, p_n^-), \quad (3)$$

onde n é a quantidade de critérios existentes na matriz de decisão.

Logo, p_j^+ são os valores máximos dos desempenhos p_{ij} de benefício e os valores mínimos dos desempenhos p_{ij} de custo. Já p_j^- são os valores mínimos dos desempenhos p_{ij} de benefício e os valores máximos dos desempenhos p_{ij} de custo.

- **Etapa 2:** Calcular, para cada alternativa A_i (linhas da matriz de decisão) a distância euclidiana para os vetores de soluções ideais positivas e negativa.

$$d_i^+ = \sqrt{\sum_{j=1}^n (d_{ij}^+)^2} \quad (4)$$

$$d_i^- = \sqrt{\sum_{j=1}^n (d_{ij}^-)^2} \quad (5)$$

onde:

$$d_{ij}^+ = p_j^+ - p_{ij} \text{ e } d_{ij}^- = p_j^- - p_{ij}. \quad (6)$$

- **Etapa 3:** Determinar a proximidade relativa ϵ . A ideia é escolher como melhor alternativa aquela mais próxima da solução ideal positiva e mais distante da solução ideal negativa.

$$\epsilon_i = \frac{d_i^-}{d_i^+ + d_i^-} \quad (7)$$

- **Etapa 4:** Selecionar a posição que contém o maior valor de ϵ . Esta é a melhor alternativa segundo os critérios estabelecidos.

III. DESENVOLVIMENTO

A implementação deste método em *hardware* consiste em quatro etapas: (a) construção da matriz de decisão

ponderada; (b) seleção das soluções ideais; (c) distância euclidiana das alternativas para as soluções ideais; (d) escolha da alternativa com melhor proximidade relativa.

A. Construção da Matriz de Decisão

A construção da matriz de decisão representada na Equação 1 depende dos parâmetros de entrada do algoritmo. Como parâmetros de entrada foram levados em consideração as distâncias em metros (m) que o PA se encontra da cadeia de recepção e os níveis de pertinência (pesos) de cada critério.

A Tabela 1 apresenta as potências de saída mínimas necessárias para atender as distâncias de entrada obtidas por um método de propagação de potência. Já a Tabela 2 expõe as características dos modos de configurações do PA obtidas por simulação *load pull* levados em consideração como critérios de seleção extraídos de [4].

TABELA 1. REFERENCIAS DA POTÊNCIA NECESSÁRIA EM FUNÇÃO DA DISTÂNCIA.

Distância (m)	Potência Necessária (dBm)
120	7,5
180	11,9
200	12,9
240	15
250	15,7
280	16,9

TABELA 2. RESULTADOS DOS MODOS DE OPERAÇÃO DO PA EM 2.4 GHz [4].

Modo de Operação	Potência de Saída (dBm)	Consumo de Potência. (mW)
0	18,73	407,75
1	17,57	333,05
2	16,75	279,25
3	16,25	265,00
4	15,79	236,41
5	15,30	212,73
6	14,78	201,00
7	14,24	174,44
8	13,25	146,67
9	12,46	131,42
10	11,66	116,44
11	10,69	108,69

A matriz de decisão terá tamanho variável uma vez que só participarão do processo de decisão as alternativas que atendem os parâmetros de entrada, por exemplo se a entrada for 190 metros os modos de 9 até 11 serão excluídos do processo de decisão pois não possuem a potência necessária (12,9 dBm). Assim, a matriz de decisão pode assumir um tamanho 1x2 até 12x2 quando apenas uma alternativa atende ou quando todas atendem, respectivamente.

B. Seleção das Soluções Ideais

As soluções ideais são compostas pelos melhores valores de cada critério baseados nas equações 2 e 3. Para cada linha da matriz são selecionados os melhores valores. Na Figura 1 é possível observar a sistemática de decisão para criação dos vetores que contemplam esses valores.

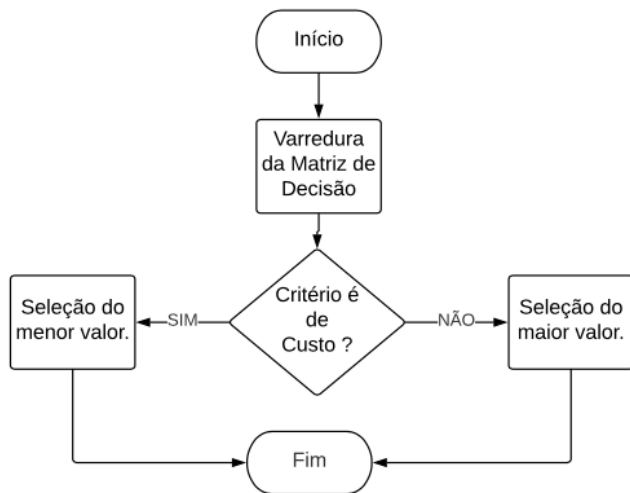


Fig. 1. Criação de Vetor com soluções ideais positivas.

C. Distâncias Euclidianas

As distâncias são determinadas pelas equações 4 e 5 apresentadas na seção II deste artigo. Nesta etapa se tem o maior custo de elementos lógicos em virtude de operações aritméticas como exponenciação, subtração, raízes quadradas e somatórios.

O método de deslocamento de bits em um algoritmo de raiz quadrada proposto por [9] foi adotado durante o desenvolvimento desta etapa. A grande vantagem de se usar esse método é que não envolve operações de multiplicação. A raiz quadrada parcial é ajustada com operações de adição e subtração a cada iteração.

D. Classificação das Alternativas

Para evitar operações aritméticas e visando mínimo uso de componentes lógicos, a escolha da alternativa não se baseia na equação 7 descrita pelo método TOPSIS. A adaptação ocorre usando operações lógicas.

Sabendo que a alternativa melhor classificada é aquela que está mais próxima da solução ideal positiva e mais

distante da solução ideal negativa, é feita uma busca no vetor de distâncias comparando todos os valores entre si. A melhor alternativa é aquela que possui o menor valor do vetor d_i^+ (equação 4) e o maior valor do vetor d_i^- (equação 5).

IV. RESULTADOS E DISCUSSÕES

Os resultados obtidos nessa seção são consequência de uma implementação do método TOPSIS em Linguagem de Descrição de Hardware VHDL para a FPGA Virtex5 XC5VLX50T. A partir do código VHDL foi possível obter resultados na tecnologia CMOS 130 nm com a ferramenta RTL Compiler.

Para análise dos resultados foram aplicados diferentes sinais de entrada e observado, em simulação, o comportamento da saída do circuito. A Figura 2 contempla um resultado para os parâmetros de entrada de 225 m, 20% (peso referente ao critério potência de saída) e 80% (peso referente ao critério consumo de potência). Com base na Tabela 1 para atender uma distância de 225 m são necessários no mínimo 15 dBm. Entre os modos de operação viáveis para atender a distância de entrada o melhor classificado foi o modo de operação 6, pois tem uma potência de saída eficiente e o menor consumo de potência entre os analisados. Os valores de cada modo apresentado na figura são obtidos por uma adaptação da equação 7.

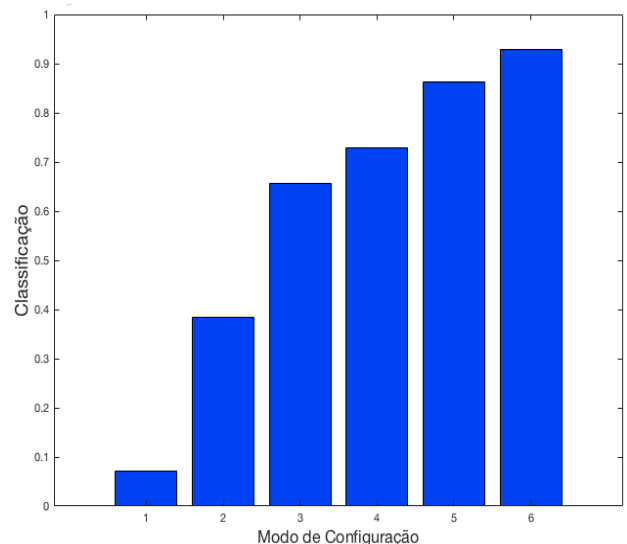


Fig. 2. Classificação de alternativas para uma distância de 225m.

O método de separação do desenvolvimento por etapas se dá em virtude de cada processo depender de um resultado gerado no processo anterior, entretanto essa metodologia não gerou um consumo grande do hardware. Na Tabela 3 observa-se o detalhamento do consumo dos elementos lógicos do modelo desenvolvido.

Outro relevante resultado é obtido pelo consumo de energia que o circuito proveniente do algoritmo obteve na tecnologia CMOS 130 nm.

Na Tabela 4 nota-se que o consumo estático é desprezível quando comparado ao consumo dos modos de operação do PA apresentados na Tabela 2. Levando em consideração que a frequência de alteração dos parâmetros de entrada (momento em que o circuito irá operar na escolha de uma nova saída) é baixa, o circuito não terá custo significativo se adicionado ao mesmo chip do PA.

TABELA 3. RESUMO DE UTILIZAÇÃO DA FPGA VIRTEX5

	TOPSIS		
	Utilizado	Disponível	Percentual
Registros	5	28800	1%
LUTs	2163	28800	7%
IOs	26	480	5%
DSP48Es	48	48	100%

TABELA 4. RESUMO DO CONSUMO DE POTÊNCIA EM TECNOLOGIA CMOS 130NM

Células	Potência Estática(uW)	Potência Dinâmica(mW)	Potência Total(mW)
178087	5,165	13,502	13,508

Uma série de simulações foram realizadas alternando os valores de entradas para que pudesse ser observada a melhor alternativa escolhida pelo método. Os pesos são definidos pelo usuário. Algumas iterações podem ser observadas na Tabela 5 que contempla também o consumo de potência de cada modo escolhido.

A escolha do modo de operação é feita baseada no modelo custo-benefício, garantindo uma potência de saída eficiente com o mínimo consumo de potência.

TABELA 5. RESPOSTAS A ESTÍMULOS DE ENTRADA.

Parâmetros de Entrada			Modo De Operação	
Distância (m)	Peso 1 (Potência de Saída)	Peso 2 (Consumo de Potência)	Modo	Consumo de Potência (mW)
100	20%	80%	10	116,44
245	20%	80%	05	212,73
268	20%	80%	01	333,05
115	70%	30%	04	236,41
245	50%	50%	03	265,00

245	70%	30%	01	333,05
-----	-----	-----	----	--------

V. CONCLUSÃO

Neste artigo foi apresentado a implementação em *hardware* de um algoritmo de seleção multicritério baseado no método TOPSIS. Foi utilizada a FPGA Virtex5 XC5VLX50T. As operações aritméticas de maior complexidade foram baseadas no método de deslocamento de bits proposto em [9]. Foi detalhado o consumo de potência para o circuito digital obtido na tecnologia CMOS 130nm. Essa abordagem permitiu a adaptação de um algoritmo que comumente é implementado em software, para uma implementação *hardware*. O baixo consumo de energia validou a eficiência do método que, mediante uma distância e pesos de entrada, decide o modo de operação do PA com o melhor custo-benefício. Outras métricas podem ser usadas como critérios de decisão, por exemplo, EVM, Ganho e PAE.

AGRADECIMENTOS

Agradecemos a UFPR e à agência CAPES pela bolsa de estudos durante todo o tempo de desenvolvimento desse projeto.

REFERÊNCIAS

- [1] H. S. Ruiz, R. B. Pérez, Linear CMOS RF Power Amplifiers: A Complete Design Workflow, 1st ed. New York: Springer, 2014.
- [2] F. Santos, A. Mariano, B. Leite, 2.4 GHz CMOS Digitally Programmable Power Amplifier for Power Back-off Operation, *IEEE VII Latin American Symposium on Circuits and Systems (LASCAS)* 2016, Abril 2016.
- [3] Y. Yoon, J. Kim, H. Kim, K. H. An, O. Lee, C. H. Lee and J. S. Kenney, "A dual mode CMOS RF power amplifier with integrated tunable matching network", *IEEE Transactions on Microwave and Techniques*, Vol. 60, pp. 77-88, November 2011.
- [4] F. Santos, J. Pereira, B. Leite, A. Mariano, "Reconfigurable CMOS Power Amplifier for Efficiency Improvement", *Simpósio Sul de Microeletrônica (SIM)*, Curitiba.
- [5] Huang, J. Combining entropy weight and TOPSIS method for information system selection. In *Proceedings of the IEEE Conference on Cybernetics and Intelligent Systems, CIS 2008*, pp. 1281-1284, 2008.
- [6] KILINCCI, O. ONAL, S. A. Fuzzy AHP approach for supplier selection in a washing machine company. *Expert Systems with Applications*, v. 38, p. 9656-9664, 2011.
- [7] F. Rodrigues, L. Osiro, L. C. Ribeiro, Multicriteria decision methods for supplier selection: a literature review on the state of the art, *Gest. Prod., São Carlos*, v. 20, n. 4, p. 781-801, 2013
- [8] Hwang, C. L. and Yoon, K. P. Multiple attributes decision making methods and applications. Berlin: Springer-Verlag, 1981.
- [9] CHU, Y. Li. A New Non-Restoring Square Root Algorithm and Its VLSI Implementations. *International Conference On Computer Design*. Austin, Texas, USA. 1996.