

# Circuito de controle para calibração de offset de comparadores CMOS usando lógica SAR

João Lucas Johan Brum<sup>1</sup> e Paulo César C. de Aguirre<sup>1</sup>  
<sup>1</sup>Universidade Federal do Pampa, Alegrete, Brasil  
joaobrum.aluno@unipampa.edu.br e pauloaguirre@unipampa.edu.br

*Este artigo apresenta os resultados da simulação de um algoritmo de calibração para compensar o offset de entrada de comparadores CMOS. Este esquema de calibração é baseado no ajuste de um banco de capacitores de 5 bits conectado nas saídas do comparador. O algoritmo de controle foi escrito em Systemverilog e usa a lógica de registro de aproximações sucessivas (SAR). Uma simulação AMS feita na Suíte Virtuoso da Cadence, validou a lógica de calibração digital usando um comparador dinâmico de cauda dupla de baixa tensão. O comparador foi projetado em um processo CMOS de 180 nm e a tensão de offset de entrada foi emulada por uma capacitância de saída que gerou um deslocamento de 3 mV. O esquema de calibração reduziu o deslocamento para 250  $\mu$ V.*

## I. INTRODUÇÃO

Conversores analógico-digital (ADCs) são blocos fundamentais que fazem a ligação entre o mundo analógico e o domínio digital [1]. Em especial, o ADC SAR (Registrador de aproximação sucessiva) tem sido muito empregado na aquisição de dados por muitos anos [2]. Estes conversores de baixa potência possuem a base em comparadores dinâmicos da tecnologia de semicondutor de óxido metálico complementar (CMOS) [3]. Dentre as topologias de comparadores mais empregadas pode-se citar o comparador de Lewis-Gray, Double-Tail e StrongArm [4].

Os comparadores dinâmicos convencionais têm amplas aplicações em ADCs de alta velocidade, uma vez que podem tomar rápidas decisões devido à forte realimentação positiva dos latches regenerativos [5].

Estes por sua vez podem apresentar algumas imperfeições, principalmente na fabricação dos componentes e assimetrias no layout, assim gerando um deslocamento na sua entrada. Ao usar a tecnologia CMOS, este erro é ainda maior [6].

Buscando evitar esse problema, técnicas de calibração para redução do offset de entrada de comparadores CMOS por meio de circuitos auxiliares foram adotadas e

são amplamente empregadas. Existem diferentes técnicas de calibração para reduzir o offset de entrada de comparadores CMOS [7]. Essas técnicas podem ser baseadas no controle da tensão de corpo dos transistores do par diferencial [8], [9] ou no ajuste do próprio par diferencial [10], e também pode ser por meio do controle da capacitância de saída do comparador [11].

Para estudar o exposto, este trabalho apresenta o algoritmo de controle para compensação de offset de comparadores CMOS. A estratégia de calibração adotada é baseada no ajuste da capacitância de saída do comparador, e o algoritmo de controle utiliza a lógica SAR para setar os bits de calibração. Este trabalho é uma evolução do algoritmo de calibração implementado pelos autores em [12], visando minimizar o tempo de calibração.

Salienta-se que este método de calibração com base em bancos de capacitores conectados na saída do comparador causa uma limitação na velocidade do comparador devido à capacitância extra na saída. O algoritmo de controle utiliza de uma lógica SAR, onde é efetuado um processo de aproximação sucessiva de todos os 5 bits. Neste trabalho, a validação do circuito de calibração foi efetuada por meio de simulações AMS, onde ficou evidente a redução do offset de entrada do comparador.

Este trabalho é organizado como segue: A sessão II apresenta a estratégia de calibração empregada e o circuito digital de controle implementado. A sessão III apresenta os resultados de simulação, e por fim a sessão IV apresenta algumas conclusões.

## II. ESTRATÉGIA DE CALIBRAÇÃO

### A. Topologia do Comparador

Neste trabalho empregou-se um comparador double-tail visto que esta topologia apresenta apenas três transistores em série, possibilitando a sua operação em baixa tensão.

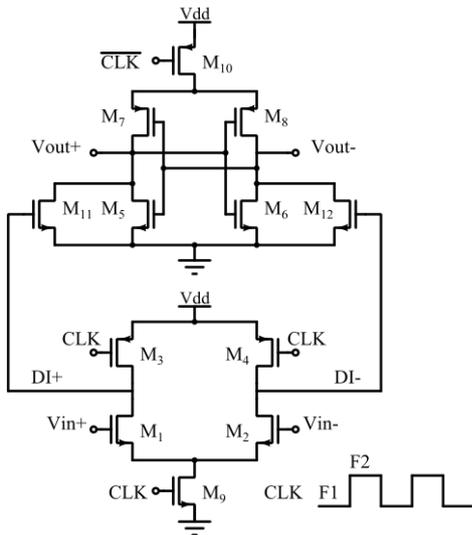


Fig.1. Double Tail

Este comparador foi projetado em um processo CMOS de 180 nm e será implementado em um ADC SAR.

O comparador double-tail possui um estágio de latch e um estágio de pré-amplificação. Seu funcionamento é o seguinte: o estágio de entrada é composto pelos transistores M1-4 e M9. O sinal de entrada é aplicado no par diferencial composto por M1-2. Na fase de reset (F1) os transistores M3-4 estão ativados, e os nós DI+ e DI- vão para o VDD, ligando os transistores M11-12 e definindo os nós de saída em 0 V. Na fase F2, os nós DI+ e DI- são descarregados através dos transistores do par diferencial. A velocidade de descarga depende da diferença de amplitude dos sinais de entrada. O nó que descarregar mais lentamente manterá a tensão de saída em 0 V, de modo que a outra saída irá para VDD devido a regeneração da latch composta pelos transistores M5-M8.

### B. Abordagem de calibração

Para o processo de calibração, um banco de capacitores com pesos binários de 5 bits é conectado em cada saída do comparador. O controle destes é feito por meio das palavras digitais sp e sn, indicando o número de capacitores a serem conectados em cada nó de saída. A Figura 3 representa os bancos de capacitores.

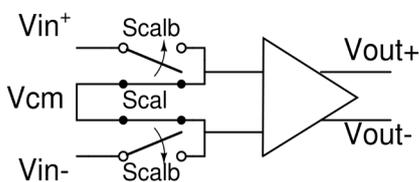


Fig.2. Comparador

Esta técnica de calibração pode compensar deslocamentos de polaridades positivas e negativas. Após as entradas serem conectadas a Vcm o offset é estimado através da medida da tensão de saída do comparador. Como forma de evitar comutações originadas por causa de ruído, a verificação do offset do comparador é efetuada 6 vezes neste trabalho. Depois que o sinal de deslocamento

(positivo ou negativo) é medido, o circuito de controle aciona os respectivos capacitores nas devidas saídas buscando a redução da magnitude do offset. Esta abordagem de calibração usa a lógica SAR para a definição das palavras digitais.

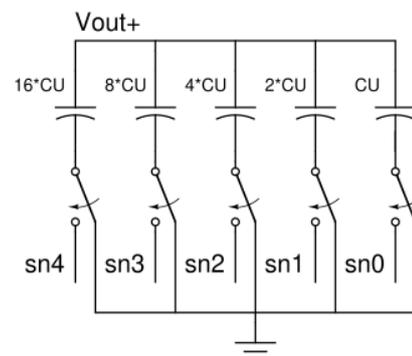
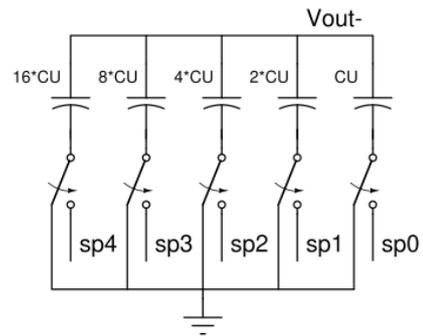


Fig.3. Banco de capacitores

### C. Lógica de controle

O circuito lógico de calibração, foi implementado em SystemVerilog usando a lógica SAR. A simulação foi efetuada com o simulador de circuitos ModelSim. Para o algoritmo final desse circuito digital notou-se a necessidade de uma máquina de estados finito de 6 estados (FSM), representada assim na Fig. 4

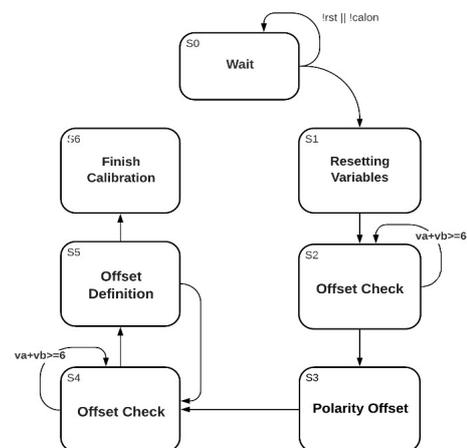


Fig.4. Máquina de estados

No estado Wait, a FSM espera até que todas as condições sejam atendidas, as entradas de Reset, Clock e Calon devem corresponder a um nível lógico alto. Após, as entradas do comparador são postas em curto para assim iniciar a calibração. O estado seguinte é responsável por zerar as variáveis evitando assim erros indesejáveis. Em seguida, o estado Offset Check executa 6 comparações, onde é verificada a tensão de saída do comparador para a definição do offset de entrada. As variáveis va e vb são usadas nos estados S2-S4 e incrementadas de acordo com a polaridade do offset. Após, o estado Polarity Offset define em qual das saídas a calibração será feita, enquanto a outra se mantém zerada. Se detectado que offset é positivo a saída sn será setada, e se offset for negativo a saída sp será setada. O estado Offset Definition define os bits das saídas, e se houver mudança na polaridade do offset o algoritmo volta para S4, senão o estado seguinte é Finish Calibration. Ao final da calibração o resultado de 5 bits é enviado ao banco de capacitores. Quando a calibração acaba, o bit Calok é setado em alto nível lógico indicando que o comparador está pronto para operação.

### III. RESULTADOS DE SIMULAÇÃO

O algoritmo de calibração foi testado em uma simulação AMS no software Virtuoso, efetuando o processo de compensação do offset de entrada de um comparador double-tail de baixa tensão. A frequência de clock do comparador é de 100 MHz. Nesta simulação foram empregadas chaves e capacitores ideais. O capacitor unitário empregado na calibração é de 4 fF como estudo de caso. O funcionamento do circuito de calibração é baseado na lógica SAR, assim passando por uma aproximação sucessiva de todos os 5 bits necessários para a compensação de deslocamento. Um deslocamento de 3 mV foi emulado através da adição de uma carga capacitiva desbalanceada na saída do comparador. Isto foi efetuado para evitar o longo tempo de uma simulação de Monte Carlo. Estes capacitores foram conectados nas saídas do comparador e suas capacitâncias eram de 10 fF e outro 50 fF, assim gerando 40 fF de descasamento na capacitância de saída e originando um offset de 3,5 mV. A Figura 5 apresenta os sinais oriundos do circuito de calibração. Deste modo, a palavra de calibração de saída final é setada em 01001. Isto representa uma capacitância equivalente a 36 fF adicionadas a capacitância de 10 fF, gerando assim uma redução no descasamento, de 40 fF para 4 fF.

Após a calibração, a medida do offset foi efetuada usando o método da rampa. Nesta simulação uma das entradas do comparador é conectada a  $V_{cm}$  ( $V_{DD}/2$ ) e a outra entrada é uma rampa variando lentamente, de  $V_{cm} - 100$  mV até  $V_{cm} + 100$  mV. A Figura 6 apresenta os sinais de entrada e a tensão de saída do comparador, mostrando a tensão de offset final. A tensão de offset foi reduzida para 0,25 mV.

### IV. CONCLUSÃO

Este trabalho apresentou um esquema de calibração para a compensação de offset de comparadores CMOS. O algoritmo manipula a capacitância de saída do comparador, assim compensando as diferenças de layout.

O algoritmo de calibração usa a lógica de aproximação sucessiva e foi codificado em SystemVerilog e sua funcionalidade verificada por uma simulação AMS. Foi possível reduzir o deslocamento de um comparador CMOS de cauda dupla de 3,5 mV para 0,25 mV. Essa precisão é limitada pelos capacitores unitários do banco de capacitores. Notou-se uma desvantagem nesta técnica que é o número mínimo de ciclos de clock necessários para finalizar a calibração.

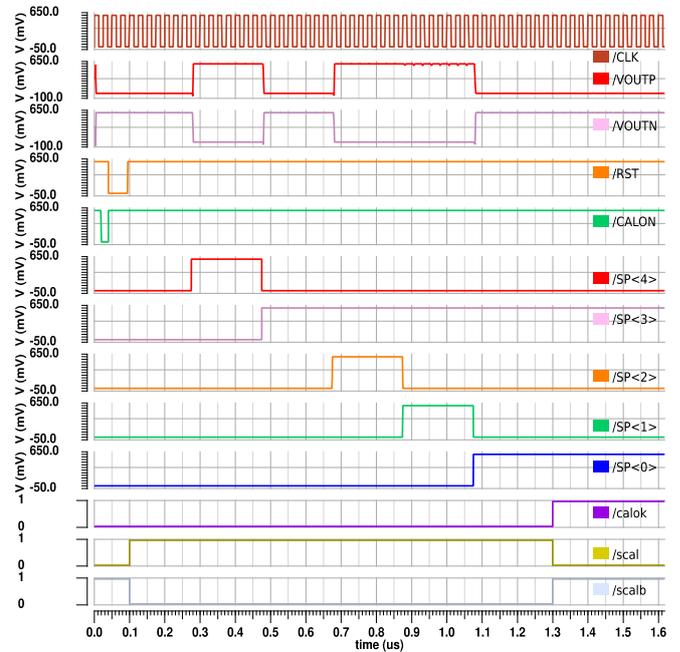


Fig. 5. Sinais de controle do circuito de calibração

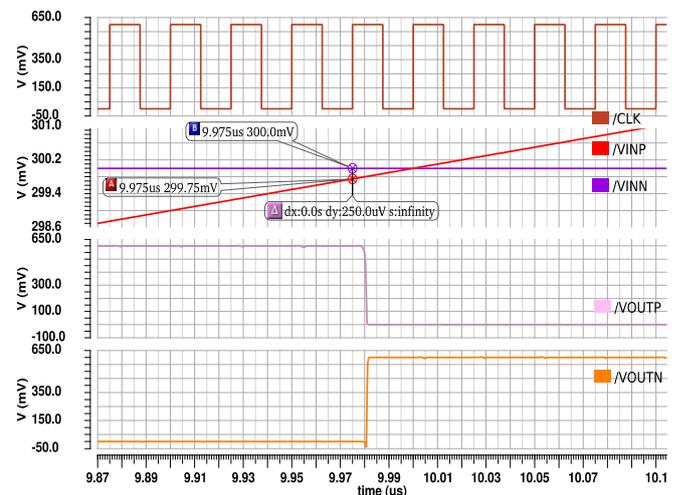


Fig. 6. Resultado de simulação após calibração

### AGRADECIMENTOS

Os autores agradecem à Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS) conceder PROBITI-FAPERGS-2020-2021.

## REFERÊNCIAS

- [1] P. Harikumar, 'Low-Voltage Analog-to-Digital Converters and Mixed-Signal Interfaces', PhD dissertation, Linköping University Electronic Press, Linköping, 2016.
- [2] Linear Circuit Design Handbook, Edited by Hank Zumbahlen, Published by Newnes/Elsevier, 2008, ISBN-978-0-7506-8703-4 (Also published as Basic Linear Design, Analog Devices, 2007, ISBN-0-916550-28-1)
- [3] Low Power SAR Analog-to-Digital Converter for Internet-of-Things RF Receivers / Helga Uchoa Dornelas. – Porto Alegre: PGMICRO da UFRGS, 2018.
- [4] R. Sangeetha, A. Vidhyashri, M. Reena, R. B. Sudharshan, S. govindan and J. Ajayan, "An Overview Of Dynamic CMOS Comparators," 2019 5th International Conference on Advanced Computing & Communication Systems (ICACCS), 2019, pp.1001-1004, doi:10.1109/ICACCS.2019.8728470.
- [5] D. Shinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, "A double-tail latch-type voltage sense amplifier with 18ps Setup+Hold time," in Proc. IEEE Int. Solid-State Circuits Conf., Dig. Tech. Papers, Feb. 2007, pp. 314–315.
- [6] Bin Le, T. W. Rondeau, J. H. Reed and C. W. Bostian, "Analog-to-digital converters," in *IEEE Signal Processing Magazine*, vol. 22, no. 6, pp. 69-77, Nov. 2005, doi: 10.1109/MSP.2005.1550190.
- [7] F. Maloberti, Data Converters. Springer US, 2007.
- [8] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, "A10-b50-MS/s 820- $\mu$ W SAR ADC With On-Chip Digital Calibration," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 4, no. 6, pp.410–416, 2010.
- [9] E. Alpman, H. Lakdawala, L. R. Carley, and K. Soumyanath, "A1.1V50mW 2.5GS/s 7b Time-Interleaved C-2C SAR ADC in 45nm LP digitalCMOS," in 2009 IEEE International Solid-State Circuits Conference -Digest of Technical Papers, 2009, pp. 76–77,77a.
- [10] A. Varzaghani, A. Kasapi, D. N. Loizos, S.-H. Paik, S. Verma, S. Zo-gopoulos, and S. Sidiropoulos, "A 10.3-gs/s, 6-bit flash adc for 10g ethernet applications," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3038–3048, 2013.
- [11] G. Van der Plas, S. Decoutere, and S. Donnay, "A 0.16pJ/Conversion-Step 2.5mW 1.25GS/s 4b ADC in a 90nm Digital CMOS Process," in 2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers, 2006, pp. 2310–.
- [12] J. L. J. Brum e P. C. C. de Aguirre, Digital Control Circuit for Offset Calibration in CMOS Comparators, Sforum 2021, 2021.
- [13] D. Li, Q. Meng, F. Li, and L. Wang, "An analysis of offset calibration based additional load capacitor imbalance for two-stage dynamic comparator," in 2016 6th International Conference on Information Communication and Management (ICICM), 2016, pp. 264–267.