

Circuito de Polarização Automática Baseado em Réplica para LNA de Baixa Tensão

Giovana Pegoraro Ceolin e Lucas Compassi Severo
Universidade Federal do Pampa, Alegrete/RS, Brasil
{giovanceolin.aluno, lucassevero}@unipampa.edu.br

Resumo — Os requisitos de baixo consumo de energia das aplicações da Internet das Coisas (IoT) aumentaram a demanda por receptores de RF de baixa potência. Como o amplificador de baixo ruído (LNA) é uma das partes que mais consomem energia em um receptor de RF, sua otimização de energia é desejada para dispositivos IoT modernos. Assim, topologias de LNA capazes de operar com baixa tensão (ULV) são de extrema importância para reduzir o consumo de potência. Por outro lado, a operação em baixa tensão dificulta o projeto do circuito e aumenta a sensibilidade para variações no processo e temperatura. Desta forma, este trabalho apresenta uma nova topologia de polarização automática para controlar o nível CC da tensão de saída de um LNA de baixa potência operando em 2,4 GHz com alimentação de 0,4 V. Os resultados de simulação pós-layout mostram que o desvio padrão da tensão de saída foi reduzido 36,8 mV para apenas 2 mV com a inserção do circuito de polarização, com um aumento de apenas 8% na potência dissipada.

I. INTRODUÇÃO

O mercado de Internet das Coisas (IoT) vem se destacando nos últimos tempos devido ao grande número de possibilidades de uso. Os dispositivos IoT alimentados por bateria e coleta de energia do ambiente têm uma vida útil diretamente dependente da energia consumida pelos circuitos. Assim, a redução da dissipação de energia é uma ótima estratégia para melhorar a vida útil do dispositivo. O transceptor RF costuma ser o bloco que mais consome energia nos dispositivos de IoT, fazendo com que a otimização desse bloco seja atraente para reduzir o consumo geral de energia.

Na cadeia de receptores de RF, o amplificador de baixo ruído (LNA) é um dos principais blocos de construção, uma vez que as especificações do receptor, como sensibilidade, dissipação de potência e figura de ruído, estão principalmente relacionadas a ele. Em geral, cerca de 50% da dissipação de potência de um receptor de RF pode ser dissipada pelo circuito LNA. Isso ocorre

devido ao grande número de *trade-offs* de projeto relacionados à dissipação de potência, envolvendo as especificações de figura de ruído (NF), ganho, linearidade e correspondência de entrada [1].

Uma interessante alternativa para a redução de potência dissipada pelos LNAs é o projeto utilizando baixa tensão de alimentação, polarizando os transistores para obter níveis de inversão moderada ou fraca. Porém, a operação com baixo nível de tensão dificulta o projeto e apresenta maior sensibilidade às variações de parâmetros de processo.

Neste intuito, o objetivo deste trabalho é projetar um circuito de polarização realimentado para estabilizar o nível de tensão de saída de um LNA de baixa tensão. Como base desta análise, foi desenvolvido um LNA baseado em inversores CMOS operando na frequência de 2,4 GHz com tensão de alimentação de 0,4 V. A polarização dos transistores do LNA foi feita na região de inversão moderada para obter a maior relação gm/ID , otimizando o consumo de potência e melhorando o ganho de tensão. Nosso objetivo é manter o sinal de saída centrado no nível de $VDD/2$ para maximizar a excursão de saída e melhorar a estabilização do ganho.

Este artigo está organizado da seguinte forma, a seção II apresenta mais informações sobre o LNA de baixa tensão e baixa potência, a seção III apresenta o amplificador de erro proposto e suas principais características, a seção IV apresenta o projeto e os resultados de simulação pós-layout e a seção V conclui este trabalho.

II. CARACTERÍSTICAS DO LNA

O circuito LNA de baixa tensão utilizado neste trabalho é mostrado na Fig. 1. Ele é composto de uma rede de casamento de entrada integrada, em laranja, e de um amplificador principal, o LNA, em azul.

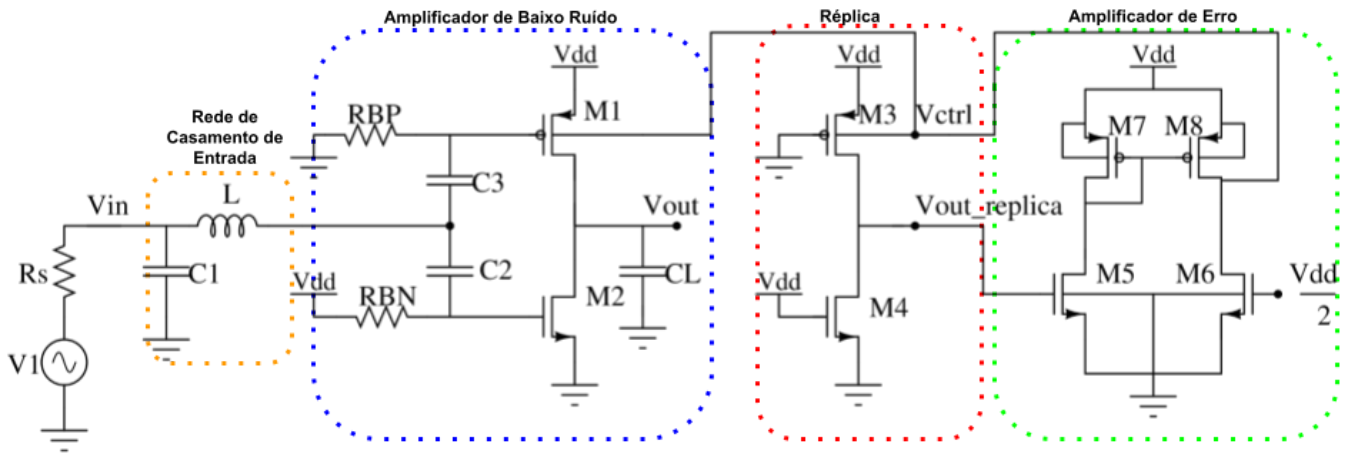


Fig. 1. Esquemático completo do LNA proposto neste trabalho.

Este circuito é baseado na topologia apresentada em [2], mas com algumas melhorias na polarização. Na porta do transistor PMOS (M1) foi usado um capacitor de bloqueio CC para isolar a tensão CC do terminal de saída. Como resultado, a tensão da porta CC pode ser ligada ao terra pelo resistor RBP, aumentando a tensão VGS. Da mesma forma, o terminal *gate* do transistor NMOS (M2) é polarizado pelo resistor RBN, vinculado a VDD.

Para obter seu máximo ganho é necessário que a tensão de saída CC do LNA seja VDD/2. Assim é possível garantir que o amplificador esteja operando na região de saturação, reduzindo o valor da condutância de saída (g_{ds}) dos transistores. De acordo com a Eq. 1, que representa o ganho do LNA, é possível observarmos que o g_{ds} tem uma relação inversa ao valor do ganho, portanto quanto menor g_{ds} , maior o ganho do LNA.

$$A_v(s) = \frac{sC_{io} - g_{m_n} - g_{m_p}}{s(C_{io} + C_o) + g_{ds_n} + g_{ds_p}} \quad (1)$$

Para garantir a saída em VDD/2, é necessário fazer com que a queda de tensão VDS de ambos transistores sejam VDD/2. Para obter essa tensão, foi necessário polarizar o terminal *bulk* (substrato) do transistor PMOS, para assim conseguir reduzir seu VT e também para permitir a calibração do nível de tensão CC de saída.

Para essa calibração será utilizado um amplificador de erro de malha fechada, pois assim é possível que a calibração seja feita automaticamente e mantém o LNA mais estável às variações, como de processo e temperatura. Na Fig. 2, pode ser visto o resultado de uma simulação utilizando o método de Monte Carlo

para simular as variações de processo sofridas pelo circuito, o gráfico mostra o histograma de frequências para a tensão de saída do LNA sem esta calibração, somente com uma fonte de tensão fixa em VDD/2 conectada diretamente ao terminal de substrato do M1. Pode ser notado que a tensão varia bastante entre aproximadamente 112 e 300 mV. Portanto, sem a calibração automática, o circuito se encontra mais suscetível a variações e pode levar a operação com baixo valor de ganho.

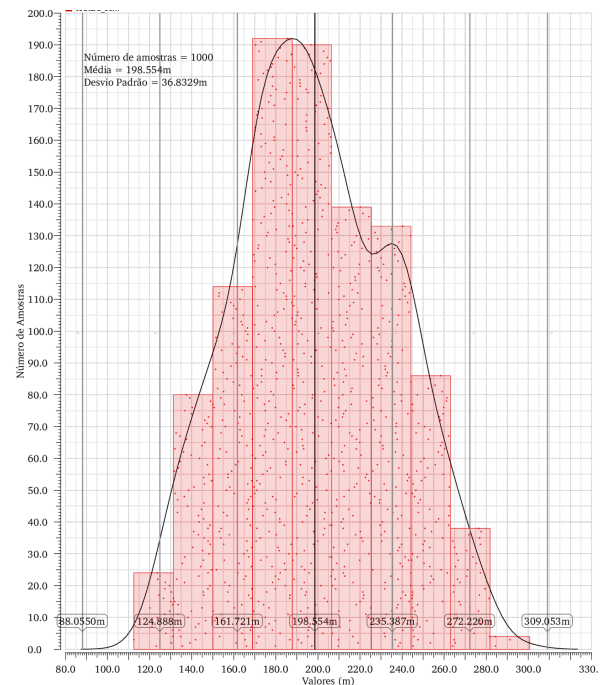


Fig. 2. Gráfico da tensão Vout pelo número de amostras, simulado por Monte Carlo, sem a calibração automática de tensão.

III. CIRCUITO PROPOSTO PARA COMPENSAÇÃO DO NÍVEL CC DE SAÍDA

A calibração automática será realizada utilizando um amplificador de erro em malha fechada. Ele fará comparação entre a tensão CC de V_{out} com o nível de referência igual a $V_{DD}/2$ e ajustará a tensão V_{ctrl} para fazer com que $V_{out} \approx V_{DD}/2$.

Para garantir que alterar tensão do terminal *bulk* entre 0 e VDD resultará em valores de tensão de saída desejados, pode ser observada a Fig. 3, onde tem-se um gráfico da tensão do terminal *bulk* variando entre 0 e VDD e a tensão de saída obtida com esta variação. Nesta figura é possível visualizar que existe uma grande faixa de controle da tensão de saída, mesmo operando com V_{DD} igual a 0,4 V.

No entanto, a conexão direta do amplificador de erro ao terminal de saída do LNA adiciona uma carga capacitiva considerável, reduzindo a sua frequência de operação e ganho. Para contornar este problema, sem aumentar a dissipação de potência, é proposto neste trabalho a utilização de uma réplica, baseada em circuito de polarização visto em [3]. Esta réplica pode ser vista na Fig. 1, em vermelho.

A réplica do transistor tem a mesma polarização e tamanho do amplificador principal, mas apenas um múltiplo é utilizado a fim de economizar energia. Assim, o amplificador de erro de malha fechada é usado para ajustar a tensão de saída da réplica para $V_{DD}/2$. Como a tensão V_{ctrl} da réplica também é aplicada ao amplificador principal, a tensão de saída do LNA também é controlada sem adicionar nenhuma carga extra.

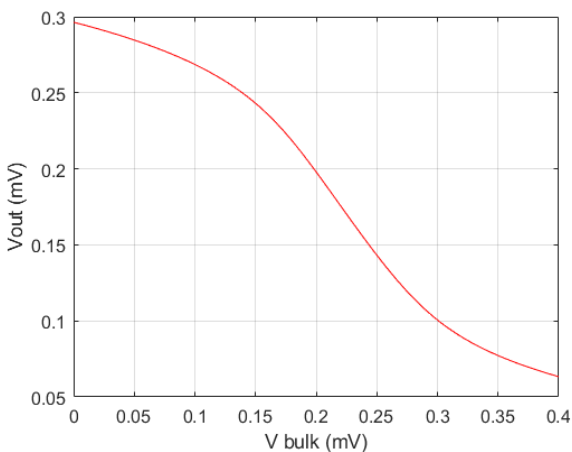


Fig. 3. Gráfico da tensão de saída V_{out} pela tensão do terminal *bulk*.

O amplificador de erro utilizado neste projeto pode ser visto na Fig. 1, em verde. Este circuito é um

amplificador pseudo-diferencial capaz de operar com baixos níveis de tensão de alimentação.

IV. PROJETO E RESULTADOS

O LNA e o circuito de polarização propostos foram projetados utilizando um processo CMOS de 180 nm para operar na frequência de 2,4 GHz com tensão de alimentação (VDD) igual a 0,4 V.

Os resistores de polarização RBP e RBN são iguais a 100 k Ω para reduzir seu efeito na entrada e os capacitores de bloqueio CC C2 e C3 são projetados usando um capacitor MiM de 8 pF para apresentar baixa reatância em 2,4 GHz.

Os transistores foram polarizados também com VGS igual a 0,4 V para operar próximo ao valor da tensão de limiar (V_T) com nível de inversão moderada. A tensão do *bulk* do PMOS (V_{ctrl}) está ligada ao circuito de polarização automática que permite que essa tensão seja ajustada para que o nível CC de saída seja igual a $V_{DD}/2$. Os transistores do LNA foram dimensionados usando um processo baseado em simulação iterativa no ambiente Cadence Virtuoso, buscando obter a menor dissipação de potência, maior ganho de tensão, menor ruído e bom casamento de impedância na entrada. Isso resultou nas dimensões de $L = 300$ nm e $W = 5$ μ m para o NMOS e $L = 250$ nm e $W = 4,2$ μ m para o transistor PMOS, ambos com 15 multiplicadores. Os transistores utilizados na réplica têm os mesmos tamanhos que os transistores do LNA, mas usando apenas um multiplicador. Para reduzir o efeito de descasamento (*mismatch*) entre réplica e LNA, o *layout* do circuito dos transistores de réplica são construídos de forma interdigitada aos do LNA.

O amplificador de erro foi projetado com uma corrente muito baixa para economizar energia e também para melhorar a estabilidade do *loop*. Além disso, transistores de canal longo foram empregados no amplificador de erro para reduzir o *offset* de entrada.

O casamento de impedância foi realizado com simulações pós-*layout* no *software* Virtuoso da Cadence, onde os parasitas foram extraídos do *layout* para obter um resultado mais preciso. Então, por meio de simulação elétrica e da carta de Smith foram obtidos C1 igual a 0,525 pF e L igual a 12,313 nH, respectivamente, para apresentar bom casamento de impedância na entrada.

Como visto anteriormente, foram efetuadas análises utilizando o método de Monte Carlo para simular as variações de processo sofridas pelo circuito. A Fig. 4, mostra a simulação utilizando este método para a tensão de saída V_{out} , utilizando a calibração automática de tensão no *bulk*. Como pode ser observado, com a utilização da calibração automática, a tensão de saída tem pouca variação comparada a Fig. 2, onde era feita a mesma análise, porém sem a calibração automática.

Nesta análise de Monte Carlo foram analisados também, além da tensão de saída, características do

circuito como ganho e a corrente que passa pelo circuito, podendo então observar a potência do circuito.

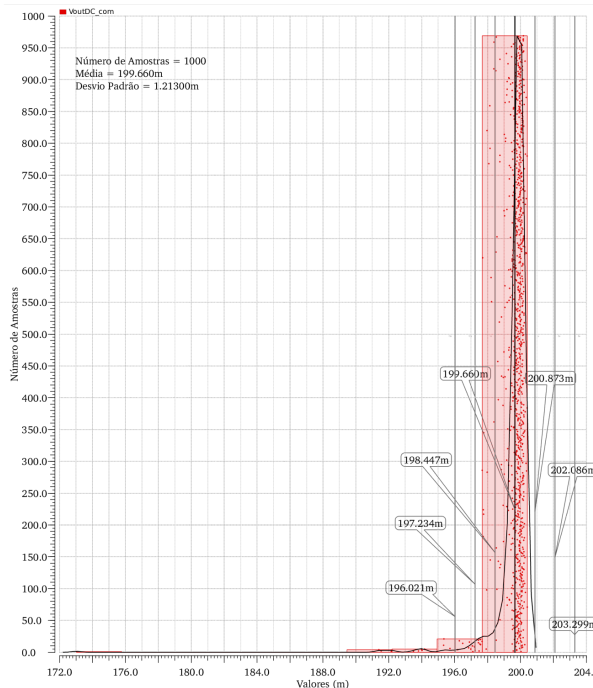


Fig. 4. Gráfico da tensão V_{out} pelo número de amostras, simulado por Monte Carlo, com a calibração automática de tensão.

Para comparar o comportamento do circuito com e sem a calibração automática, a Tabela 1 apresenta os valores médios e o desvio padrão obtidos para as especificações de tensão CC de saída V_{out} , ganho de tensão na frequência de 2.4 GHz e potência dissipada pelo circuito.

Podemos observar que as médias dos valores de tensão de saída obtidos não tiveram tanta discrepância, porém seu desvio padrão mostra que a variabilidade da saída diminuiu, cumprindo com o objetivo deste trabalho. Pode ser visto um aumento nos valores médios de ganho e também uma pequena diminuição do desvio padrão para quando a calibração automática é inserida. Quanto à potência dissipada pelo circuito, seu valor médio aumenta devido à inserção do circuito de polarização e o seu desvio padrão também é levemente reduzido.

Como o circuito de polarização proposto neste trabalho atua sobre o nível de tensão na saída, o ganho CC do LNA é estabilizado conforme Eq. (1). Porém, na frequência de 2.4 GHz a variação do ganho de tensão está mais relacionada com a variação da corrente do LNA, que, como pode ser visto pelo desvio padrão da potência dissipada, apresenta pouca melhora com a utilização do método proposto.

I. CONCLUSÃO

Um LNA de 0,4 V de baixa potência com uma calibração automática de tensão através de um amplificador de erro e circuito de réplica é apresentado neste artigo, para operar na frequência de 2,4 GHz.

Os resultados mostram que a calibração automática de tensão cumpre o desejado, diminuindo a variação no nível CC da tensão de saída do LNA. Porém, o desvio padrão das especificações de ganho apresenta pequena melhora com a utilização do método proposto.

Como trabalhos futuros, espera-se aprimorar o método proposto para reduzir também a variação na corrente de dreno dos transistores do LNA.

AGRADECIMENTOS

Os autores gostariam de agradecer à FAPERGS (Projeto 19-2551-0001315-9 e PROBITI) pelo apoio a este trabalho e à IEEE Electron Device Society - EDS pelo apoio na fabricação de IC.

REFERÊNCIAS

- [1] RAZAVI, B.; BEHZAD, R. **RF microelectronics**. [S.1]: Prentice hall New York, 2012. v.2.
- [2] T. Taris, J. Begueret and Y. Deval, "A 60 μ W LNA for 2.4 GHz wireless sensors network applications," 2011 IEEE Radio Frequency Integrated Circuits Symposium, Baltimore, MD, 2011, pp. 1-4.
- [3] Compassi-Severo, Lucas and Van Noije, Wilhelmus "A 0.4-V 10.9- μ W/Pole Third-Order Complex BPF for Low Energy RF Receivers," in IEEE Transactions on Circuits and Systems I: Regular Papers, 2019.

TABELA 1. COMPARAÇÃO DA MÉDIA E DESVIO PADRÃO PARA AS CARACTERÍSTICAS DO CIRCUITO COM E SEM A CALIBRAÇÃO

Especificações	Média		Desvio padrão		Unidades
	Sem calibração	Com calibração	Sem calibração	Com calibração	
Vout	198,554	199,66	36,832	1,213	mV
Ganho	10,553	11,257	1,308	1,108	dB
Potência	164,619	178,108	44,184	53,882	μ W