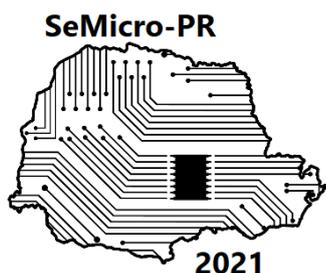


Projeto e Caracterização de um OTA de Baixa Tensão



Martina C. Rodrigues¹ e Paulo César C. de Aguirre²

¹ Universidade Federal do Pampa, Alegrete/RS, Brasil

² Universidade Federal do Pampa, Alegrete/RS, Brasil

¹martinarodrigues.aluno@unipampa.edu.br

²pauloaguirre@unipampa.edu.br

Resumo — *Amplificadores Operacionais de Transcondutância (OTAs) são considerados blocos chave quando nos referimos a uma boa relação entre alta eficiência e baixa dissipação de potência sendo possível usá-los em circuitos "Energy-Harvesting" para aplicações com foco em Internet das Coisas (Internet of Things - IoT). Este trabalho apresenta um OTA com dois estágios sendo o primeiro rail-to-rail através da abordagem Bulk-Driven e o segundo estágio um amplificador Fonte Comum. Com tensão de Alimentação igual a 0,4 V e tecnologia CMOS-180nm, o circuito apresenta ganho DC de 82 dB e GBW igual a 9,5 kHz para uma capacitância de carga, $CL = 25$ pF. Sua potência, incluindo a polarização, é de 515 nW.*

I. INTRODUÇÃO

Circuitos e sistemas de ultrabaixa tensão gerando ultrabaixa potência estão em crescente demanda com o objetivo de gerar uma duração mais longa das baterias e até captura de energia, conhecida como *Energy-Harvesting*, para aplicações no contexto da Internet das Coisas (IoT).

Dispositivos vestíveis e inteligentes, como relógios inteligentes, fones de ouvido sem fio, objetos de rastreamento, sensores, prédios inteligentes entre outros tornaram-se amplamente usados, trazendo consigo uma grande demanda em relação a alta eficiência de energia, minimizando sua bateria e otimizando seu tempo de operação.

De acordo com recentes roteiros de semicondutores, se faz necessário expandir a operabilidade de dispositivos IoT e isso requer sua operação em tensões de alimentação progressivamente baixas, apesar dos desafios para operar transistores CMOS em 0,5 – 0,4 V [1].

Amplificadores Operacionais de Transcondutância (OTAs) são importantes blocos chaves em muitos circuitos integrados (CIs) tanto analógicos como também de sinais mistos, por exemplo, filtros analógicos, conversores de dados, gerador de sinais e circuitos de processamento analógico.

A evolução da microeletrônica foca em desenvolver soluções em circuitos de baixa potência. Sendo assim, a tensão de alimentação é reduzida com intuito de reduzir a potência total do circuito, permitindo gerar uma interface entre CIs projetados com CMOS mais modernos com uma redução de potência fornecida.

Diversos OTAs de baixa tensão foram propostos nos últimos anos, com tensões de alimentação de 0,6 V até 0,25 V [7] – [14].

Tradicionalmente, OTAs baseados com entrada diferencial sofrem com a quantidade limitada de tensão de modo comum

que pode ser considerada para o circuito. Trabalhando com tensões de alimentação mais baixas, esse efeito tornou-se mais significativo já que o sinal *full-scale* da entrada é ainda menor. Várias abordagens para melhorar o intervalo utilizável na entrada do amplificador, conhecida como entrada *Rail-to-Rail* já foram desenvolvidas, como polarização pelo terminal de *bulk*, *self-cascoding* e transistores com o terminal *gate* flutuante [14].

Entradas e saídas *Rail-to-Rail* são utilizadas em muitas aplicações em CIs analógicos. A maioria dos OTAs de baixa tensão projetados foram feitos com a entrada no terminal *bulk* pela sua transcondutância se tornar constante durante todo alcance de modo comum. [7], [8], [9] e [10].

A tensão de *threshold* dos transistores (V_{th}) também tornou-se uma grande preocupação. Considerando um processo típico com transistores CMOS em que sua tensão V_{th} geralmente é, aproximadamente 0,45 V, todos os transistores CMOS utilizados nesse artigo estão operando em inversão fraca.

Recentemente, amplificadores com dois e três estágios e entrada *Rail-to-Rail* foram projetados em tecnologia típica de 180-nm com sucesso, operando em 0,4-0,25 V, [11] e [12], demonstrando que podem ser usados para aplicações sub 0,5 V.

Em [15], já foi aprofundado o primeiro estágio do circuito desenvolvido neste artigo, com um ganho DC de 34 dB.

Este artigo apresentará o projeto e avaliação de resultados de um OTA com dois estágios, entrada no terminal *bulk* operando em 0,4 V com tecnologia CMOS 180-nm. O circuito é baseado na topologia adotada em [8], com entrada *Rail-to-Rail* e será otimizado para um trabalho em desenvolvimento de um DAC R-2R.

Este artigo está organizado da seguinte forma: Seção II irá apresentar o Design do OTA, sua motivação, estratégia de polarização e estratégia para a compensação de fase utilizada. Seção III mostrará os resultados de simulação realizados em Software e as conclusões assim como trabalhos futuros são apresentadas na seção IV.

II. PROJETO DO OTA

A. Motivação

Transistores CMOS operando em inversão fraca, estão sendo cada vez mais utilizados pois garantem proporcionar baixa tensão e baixo consumo, no mundo dos amplificadores, esse tipo de operação, juntamente com a técnica *Bulk-Driven*, garante mais confiabilidade em diversos trabalhos recentes.

O circuito da figura 1 foi montado, explorando o primeiro estágio dos circuitos de [8] e [9], o segundo estágio com a

configuração fonte comum e uma fonte de corrente controlada por um resistor R , *off-chip*, objetivando a operação em sub-0,5 V com tecnologia TSMC CMOS-180nm.

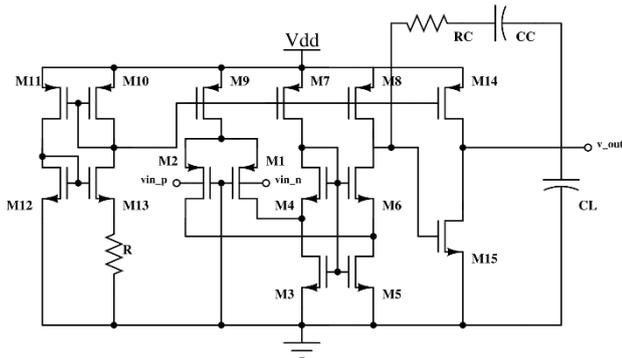


Figura 1 - Esquemático do OTA Projetado

Na figura 1, os transistores M10 até M13, compõem a fonte de corrente juntamente com o resistor R . M7 até M9 e M14 são os espelhos de corrente, M1 e M2 o Par Diferencial com a entrada no *bulk*. O circuito também dispõe de um circuito de carga ativa, composto por M4 a M6.

O circuito de carga ativa, é proposto em [9] para minimizar problemas de distorção verificados em um par diferencial típico e é polarizado pelos transistores M7 e M8. Neste trabalho foram empregados apenas transistores *Standard-VT*. Isto possibilitou um alto ganho DC, aumentando assim a resistência de saída do circuito.

As especificações do OTA projetado são: VDD de 400 mV, uma corrente de polarização de 100 nA. O ganho DC, AV, é inerente ao comprimento e largura dos MOSFETS. O par diferencial, com a entrada no *Bulk* de seus transistores, permite alcançar uma saída *Rail-to-Rail* e uma transcondutância, gm , constante em toda a faixa de modo comum de entrada.

B. Estratégia de Polarização

Para o projeto, os transistores irão operar em Inversão Fraca, isto é, com uma tensão V_{GS} , menor que a tensão de *overdrive*, V_{OV} , para que tenhamos uma boa eficiência em relação a transcondutância e V_{ds} baixo na saturação.

A corrente de dreno na inversão fraca, I_{ds} , pode ser calculada da seguinte forma,

$$I_{ds} = I_s \left(\frac{W}{L}\right) \exp\left(\frac{q(V_{gs}-V_{th})}{nKT}\right) [1 - \exp\left(\frac{-qV_{ds}}{KT}\right)] \quad (1)$$

onde, I_s representa a corrente característica, q é a carga do elétron, n é a inclinação na curva de I_{ds} , k é a constante de Boltzmann, T é a temperatura absoluta e, por fim, V_{ds} e V_{gs} representam, respectivamente, a tensão de Dreno para o *Source* e a tensão de *Gate* para o *Source*.

No segundo estágio, uma configuração fonte comum é polarizada por M14, porém com 8 vezes mais corrente que os outros espelhos de corrente, sendo assim, aumentando também o número de múltiplos necessário em M15.

A polarização dos transistores foi feita a partir de uma fonte de corrente típica, também conhecida como *Beta Multiplier* [4], composta pelos transistores M10 até M13 e um Resistor R , *off-chip*. Os transistores foram dimensionados objetivando otimizar e reduzir a tensão de alimentação mínima, dada pela equação 2.

$$VDD_{min} = V_{gs_{M12}} + V_{ds_{M11}} \quad (2)$$

Assim, como demonstrado na figura 2, o circuito pode ser operado a partir de uma tensão de alimentação de 0,35 V.

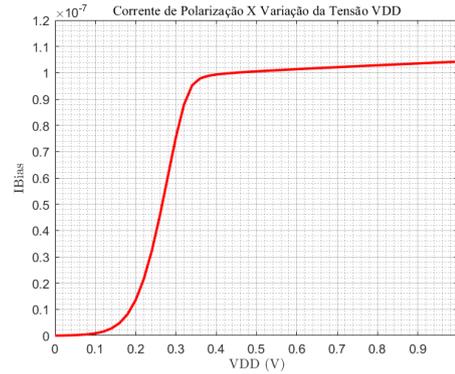


Figura 2: Corrente de polarização X Variação da tensão VDD.

C. Compensação Miller

A técnica de compensação Miller é aplicada conectando um capacitor, C_c , e um resistor, R_c , na saída do primeiro estágio do OTA para a saída do segundo estágio do circuito, resultando, primeiramente, em seu primeiro pólo em uma nova posição, mais próximo da origem no plano da frequência, significativamente. O segundo polo, é movido para longe da origem no plano da frequência gerando um feedback negativo reduzindo a resistência de saída, R_{o2} , do segundo estágio. A partir de [6], foi possível obter as seguintes relações.

$$R_c = \frac{1}{gm_{15}} \quad (5)$$

$$C_c > 2.2 C_L \quad (6)$$

III. SIMULAÇÃO E RESULTADOS

A. Resultados Gerais

O circuito foi simulado na Cadence usando o simulador Spectre. A resposta AC do OTA é dada na figura 3. O Ganho DC é 82 dB atingindo um GBW de 9,5 kHz com uma capacitância de carga, $C_L = 25 pF$ e Margem de Fase (MF) igual a 80°. Sua potência foi medida aplicando somente um sinal DC igual a tensão de modo comum, $V_{cm} = \frac{V_{dd}}{2}$, na entrada, resultando em um consumo de 515 nW para uma tensão de alimentação $VDD = 0,4 V$.

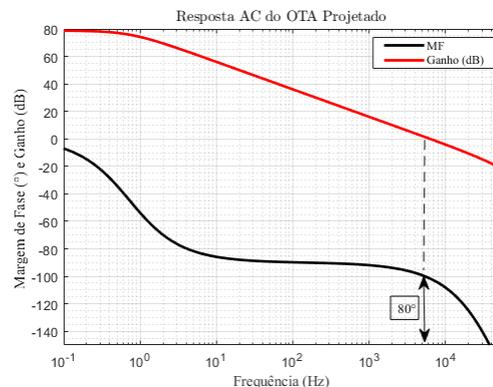


Figura 3: Margem de Fase e Ganho do OTA projetado

B. Configuração Buffer

Usou-se a configuração *buffer*, como mostrado na figura 4, para verificar o alcance da entrada *Rail-to-Rail* na saída, aplicando um sinal de entrada, V_{IN} de 1 kHz com $0,4 V_{p-p}$. Este sinal juntamente com a saída V_{OUT} estão representados na Figura 5. O baixo V_{ds} e baixa tensão de saturação dos transistores são responsáveis pela diferença de amplitude verificada na saída do *buffer*.

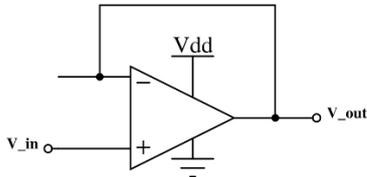


Figura 4: Configuração Buffer

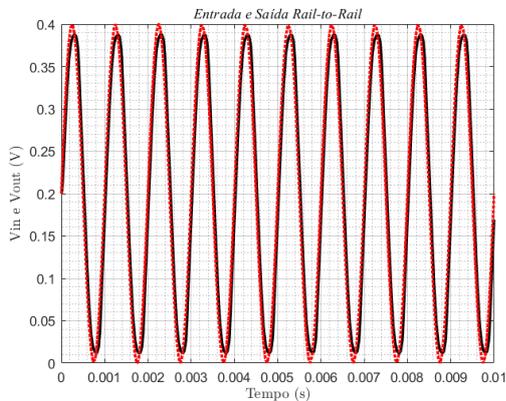


Figura 5: Saída e Entrada Rail to Rail

Para verificar a Distorsão Harmônica Total (THD) da saída, aplicou-se um sinal $0,2 V_{p-p}$ na entrada. A THD, foi calculada, através da função *thd* na calculadora do *Simulador Spectre*, usando uma FFT com 2048 pontos. Como resultado obtivemos 1,243%. Outrossim, a configuração Buffer, é utilizada para medir o *Slew-Rate* com um sinal de onda quadrada com amplitude pico a pico de 0,4 V, demonstrado na figura 6.

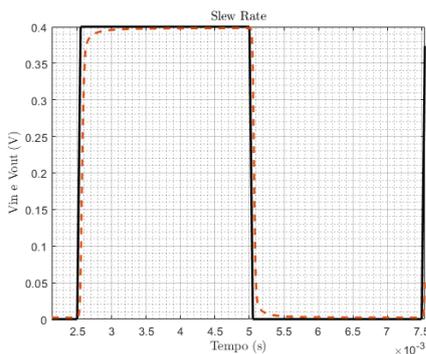


Figura 6: Slew-Rate Com um VDD = 400 mV

B. Simulação de Monte Carlo

Para avaliar o comportamento do circuito sob variações de processo e descasamento dos transistores efetuou-se uma simulação de Monte Carlo com 200 rodadas. Para analisar a resposta em frequência usou-se o *testbench* descrito na figura 7, de acordo com [5].

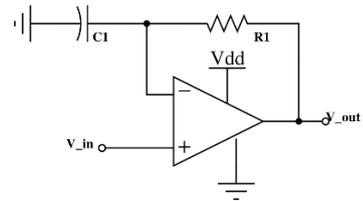


Figura 7: Configuração para simulação de Monte Carlo.

Na simulação de Monte Carlo, constatou-se um desvio padrão, $\sigma = 271,4$ mdB, ganho médio = 82,1 dB, GBW = 9,5 kHz. As figuras 8-9 mostram, respectivamente, a variação do circuito considerando temperaturas de operação diferentes (-15 até 125 °C) e a variação do ganho a partir da variação da Tensão de Modo Comum (VCM) do circuito.

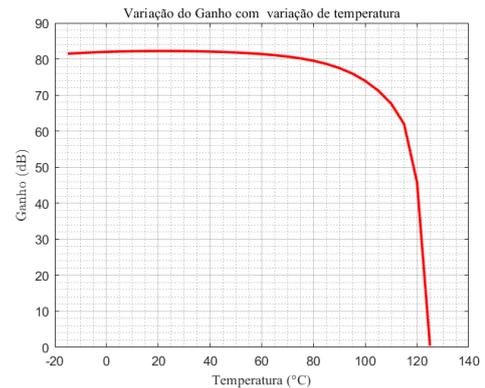


Figura 8: Variação do ganho conforme variação de temperatura.

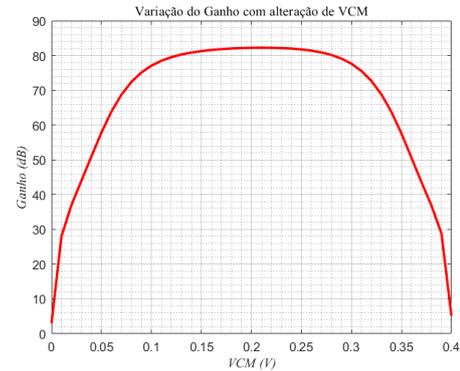


Figura 9: Variação do ganho conforme a variação de VCM.

Pode-se observar na figura 8 que o circuito opera com ganho acima de 70 dB para temperaturas até 100°C. Já, para variação de VCM, o ganho permanece acima de 60 dB para valores entre 50 mV até 350 mV. A performance do circuito é resumida na tabela 1.

Tabela 1: Resultados Sumarizados de Simulação do OTA

Tecnologia	180nm
Entrada	Bulk-Driven
Tensão de Alimentação	400 mV
Ganho DC	82 dB
Margem de Fase	80°
THD	1,243%

GBW @ 25pF	9,5 kHz
Slew-Rate +	3,194 V/ms
Slew-Rate -	3,213 V/ms
Potência	515 nW

IV. CONCLUSÃO

Este trabalho apresentou o projeto e resultados de simulação de um Amplificador Operacional de Transcondutância *Rail-to-Rail* para aplicações sub-0.5V em tecnologia CMOS 180-nm. O sinal de entrada diferencial aplicado no *bulk* do par diferencial permitiu a operação *Rail-to-Rail* e os transistores operam em inversão fraca para alcançar uma boa eficiência de energia. Levando em consideração trabalhos recentes [7] – [15] o consumo de energia deste circuito de 515 nW está dentro do esperado para esse tipo de CI. As simulações mostraram um ganho DC maior que 80 dB quando aplicado uma tensão de alimentação maior ou igual a 400 mV. O próximo passo desde trabalho será otimizá-lo para ser aplicado em um DAC R-2R.

AGRADECIMENTOS

Os autores gostariam de agradecer ao Nacional Brasileiro Conselho de Desenvolvimento Científico e Tecnológico (CNPq) número de concessão 124619 / 2020-7.

REFERÊNCIAS

- [1] “International technology roadmap for semiconductors 2.0,” <https://www.semiconductors.org/wpcontent/uploads/2018/06/0205 – ITRS – 2.0 – Executive – Report – 1.pdf>
- [2] R. J. Baker, CMOS Circuit Design, Layout, and Simulation, Second Edition. Wiley-IEEE Press, 2004.
- [3] J. K. Roberge e K. H. Lundberg, Operational Amplifiers, Theory and Practice. Second Edition.
- [4] F. Centurelli, P. Monsurr `o, G. Parisi, P. Tommasino, and A. Trifiletti, Electronics Letters, vol. 54, pp. 930–932(2), July 2018.
- [5] Allen, Phillip E. - LECTURE 240 – SIMULATION AND MEASUREMENTS OF OP AMPS, 2002
- [6] Allen, Phillip E. Holberg, Douglas R. - CMOS Analog Circuit Design - Oxford, pp. 274-277, 2011.
- [7] K. Woo and B. Yang, “A 0.25-v rail-to-rail three-stage ota with an enhanced dc gain,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 67, no. 7, pp. 1179–1183, 2020.
- [8] L. H. C. Ferreira, T. C. Pimenta, and R. L. Moreno, “An ultra-low-voltage ultra-low-power cmos miller ota with rail-to-rail input/output swing,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 54, no. 10, pp. 843–847, 2007.
- [9] L. H. C. Ferreira and S. R. Sonkusale, “A 60-db gain ota operating at 0.25-v power supply in 130-nm digital cmos process,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 6, pp. 1609–1617, 2014.
- [10] Z. Qin, A. Tanaka, N. Takaya, and H. Yoshizawa, “0.5-v 70-nw rail-to-rail operational amplifier using a cross-coupled output stage,” IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 63, no. 11, pp. 1009–1013, 2016.
- [11] T. Kulej and F. Khateb, “A compact 0.3-v class ab bulk-driven ota,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 28, no. 1, pp. 224–232, 2020.
- [12] —, “A 0.3-v 98-db rail-to-rail ota in 0.18 μm cmos,” IEEE Access, vol. 8, pp. 27 459–27 467, 2020.
- [13] Z. Liu, Y. Tan, H. Li, H. Jiang, J. Liu, and H. Liao, “A 0.5-v 3.69-nw complementary source-follower-c based low-pass filter for wearable biomedical applications,” IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 67, no. 12, pp. 4370–4381, 2020.
- [14] O. Abdelfattah, G. W. Roberts, I. Shih and Y. Shih, “An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA With Rail-to-Rail Input Range,” in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 10, pp. 2380-2390, Oct. 2015, doi: 10.1109/TCSI.2015.2469011.
- [15] M. C. Rodrigues e P. C. C de Aguires “A Single-Stage Rail-to-Rail OTA for sub-0.5V Applications” em EMICRO/SIM 2021 – Artigo Regular.