

Circuito Digital Aplicado a Linearização de um Amplificador de Potência

Jefferson R. Schuertz¹, Isabella F. Wosniack, Felipe A. Schoulten, Eduardo G. de Lima, Sibilla B. da Luz França
Universidade Federal do Paraná - UFPR, Curitiba, Brasil
jeffersonschuertz@ufpr.br¹

Resumo—A configuração em série de um Dispositivo de Pré-Distorção Digital (DPD) e um Amplificador de Potência é uma técnica recorrente que visa aumentar a linearidade e eficiência energética de um sistema de comunicação sem fio, ainda em sua fase de transmissão. O presente trabalho consiste no projeto de um circuito integrado dedicado de um DPD, cuja implementação fez uso do Polinômio de Memória e de Memória de Envoltória Combinado (CMEMP), modelo derivado do Polinômio de Memória (MP) e do Polinômio com Memória de Envoltória (EMP). O design do circuito foi baseado em uma implementação em VHDL (VHSIC Hardware Language) já desenvolvida em um trabalho anterior e cujos resultados se mostraram eficientes. A arquitetura empregou unidades LUT (Look-up Table) para simplificar operações aritméticas e de interpolação, reduzindo o uso de células lógicas. O design do circuito foi realizado na tecnologia CMOS 130 nm, utilizando as ferramentas da Cadence Systems. Para a realização da síntese lógica, utilizou-se a ferramenta Genus. O circuito obtido foi composto por um total 20869 células padrão. O layout foi construído na ferramenta Innovus, ocupando uma área total de 455600 μm^2 , com densidade média de ocupação de 72,45 %. O consumo de potência foi de aproximadamente 245 mW. A validação do circuito sintetizado foi realizada através de simulações pós-layout, desprezando-se as capacitâncias parasitas, além disso, o layout foi submetido as verificações de DRC, geometria e conectividade.

I. INTRODUÇÃO

As últimas décadas foram caracterizadas pela massificação dos dispositivos móveis e sua constante evolução. As demandas de seus usuários são caracterizadas pelo anseio em se obter uma maior velocidade na transferência de dados e uma maior autonomia da bateria dos dispositivos [1]. Embora o avanço na Ciência dos Materiais e da Eletroquímica [2] tenha possibilitado o desenvolvimento de baterias mais eficientes, o crescente número de funcionalidades e o aumento das dimensões das telas resultaram em um maior consumo de energia dos aparelhos. Somado a isso, os esquemas de modulação em amplitude e fase e a inerente

não-linearidade dos amplificadores de potência (PA) levam a um consumo ainda maior [3].

Dentre os componentes eletrônicos embarcados nos aparelhos, os PAs merecem um tratamento especial, pois para que a informação digital, então convertida para o mundo analógico, seja transmitida para a rede ou diretamente para outro dispositivo, uma quantidade considerável de potência é consumida [3]-[4]. Este fato tornou os PAs um caso de estudo recorrente na literatura. Reconhecendo suas características não-lineares, uma técnica popular na literatura trata-se do uso de dispositivos de Pré-Distorção Digital (DPD) [5]. Este dispositivo, inserido antes do PA, é capaz de distorcer o sinal, modificando a envoltória do sinal, de modo que o sinal da saída do PA seja mais linear.

A Figura 1 ilustra o conceito do uso de um DPD e de um PA em cascata. O sinal de entrada sofre uma distorção, invertendo algumas de suas componentes para que sejam neutralizadas durante a amplificação, tornando o processo mais linear [4].

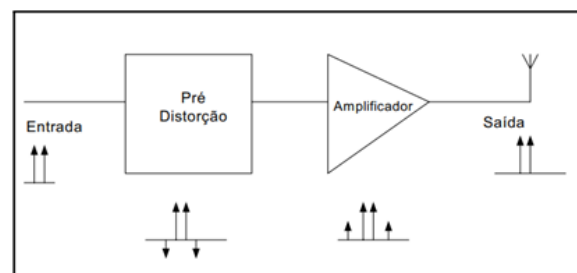


Fig. 1. Ilustração da Técnica de Pré-Distorção Digital [7]

A abordagem deste trabalho adota uma técnica de distorção pouco explorada na literatura, denominada Polinômio de Memória e de Memória de Envoltória Combinado (CMEMP). O design do circuito integrado dedicado para o DPD em questão seguiu o fluxo de projeto VLSI (Very Large Scale Integration), utilizando-se uma implementação em VHDL já desenvolvida em um trabalho anterior [6]. O intuito final consiste em apresentar um circuito integrado dedicado e funcional projetado na tecnologia CMOS 130 nm,

II. A PRÉ-DISTORÇÃO DIGITAL E O USO DE MODELOS POLINOMIAIS

A. Dispositivos de Pré-Distorção

A Pré-Distorção digital é considerada uma técnica ideal para sistemas com uma ou mais portadoras [5], devido ao seu potencial em tornar linear a banda de operação de um PA. A primeira menção na literatura a esta técnica ocorreu em 1997, onde os autores utilizaram vetores sistólicos, customizando um circuito para distorcer o sinal antes de enviá-lo ao PA. Posteriormente, demais autores [4]-[12] exploraram o conceito.

Em síntese, o DPD transforma o sinal inicial inserindo uma distorção inversa à presente no PA, processo que comumente necessita da aplicação extensiva de modelos polinomiais, notadamente, das Séries de Volterra [4]. Ao fim desse processo é significativa a redução da distorção na saída do conjunto DPD-PA, o que permite uma redução significativa no consumo de potência durante a amplificação e transmissão do sinal [3].

De modo geral, este fenômeno pode ser mais bem compreendido ao se determinar um sinal modulado em amplitude e fase, representado através de sua função do tempo t :

$$s(t) = r(t) \cos(2\pi f_c t + \varphi(t) + \theta), \quad (1)$$

Na expressão, $s(t)$ representa o sinal modulado em função de t , f_c a frequência da portadora, já o θ é um valor randômico para a fase. A envoltória complexa pode ser representada simplesmente pela expressão:

$$x(t) = r(t)e^{j\varphi(t)} \quad (2)$$

A pré-distorção atuante sobre a envoltória complexa $x(t)$ é um processo digital realizado para n amostras coletadas em intervalos constantes de amostragem T_s . Sendo assim, seja qual for o modelo polinomial usado para o processo, derivados ou não das séries de Volterra, a envoltória será modificada de modo a neutralizar a não-linearidade do PA, como ilustrado na Figura 2, onde percebe-se que o sinal proveniente do DPD ($V_{o,PD}$) e o presente no PA ($V_{o,PA}$) apresentam natureza inversa e quando unidos resultam em um comportamento retilíneo.

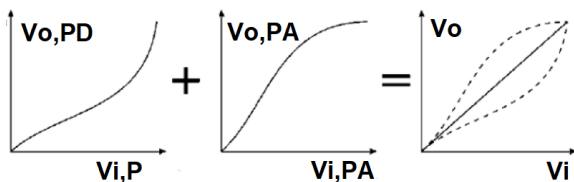


Fig. 2. Ilustração analítica da linearização [8]

B. Polinômios de Memória e Modelos Derivados

Para compreender o CMEMP [4] utilizado nesta abordagem, primeiro deve ser apresentado o polinômio de memória (MP). Trata-se de um modelo simplificado das séries de Volterra, onde são considerados apenas os

componentes unidimensionais [7], seus parâmetros são lineares e quando empregados em modelos de aprendizado são relativamente simples e apresentam boa acurácia. Um MP é definido pela seguinte expressão;

$$y(n) = \sum_{p=0}^{P-1} \sum_{m=0}^M h_{m,p} x(n-m) |x(n-m)|^p, \quad (3)$$

Nesse modelo, x corresponde a entrada, h representa o coeficiente, M é o fator de memória, P o fator de não-linearidade e y a saída.

Outro modelo a influenciar o CMEMP é o Polinômio de memória de envoltória (EMP). Diferente do anterior, faz uso apenas do módulo das amostras presentes e passadas para se determinar a saída. Sua representação é a seguinte:

$$y(n) = x(n) \sum_{p=0}^{P-1} \sum_{m=0}^M h_{m,p} |x(n-m)|^p \quad (4)$$

A combinação das características dos modelos polinomiais MP e EMP geram o aprimorado modelo CMEMP, utilizado neste trabalho devido a sua aparente versatilidade. Sua representação matemática é:

$$y(n) = \left[\sum_{m=0}^M a_m x(n-m) \right] \left[\sum_{p=0}^{P-1} \sum_{m=0}^M b_{m,p} x(n-m) |x(n-m)|^p \right] \quad (5)$$

Diferentemente dos dois modelos anteriores, os coeficientes a e b estão presentes e tornam o modelo CMEMP não-linear nos seus coeficientes. Esses coeficientes e parâmetros devem ser extraídos por algoritmos de otimização, uma técnica recorrente é o método dos mínimos quadrados não-lineares.

III. DESENVOLVIMENTO E RESULTADOS

A. Desenvolvimento em VHDL do DPD

Este trabalho faz uso de um código VHDL, já implementado em um trabalho de pesquisa anterior, que descreve a arquitetura do DPD em questão [13]. O circuito emprega apenas duas amostras temporais, $x(n)$ e $x(n-1)$. A Figura 3 apresenta seu funcionamento. Nela, as amostras dos instantes n e $n-1$ são processadas simultaneamente. Sendo assim, as partes reais e imaginárias, $UR(n)$ e $UI(n)$, respectivamente, têm seus valores multiplicados pelas constantes angulares a_0R e a_0I , além disso, cada uma delas é enviada para outro bloco, onde seu valor é elevado ao quadrado. Os quadrados de $UR(n)$ e de $UI(n)$ são somados e, posteriormente, uma célula LUT (*Look-up Table*) realiza operações de interpolação. A saída é enviada a um somador e, em seguida, multiplicada pelos sinais iniciais e pelas constantes angulares. Finalmente, o sinal resultante é somado aos valores provenientes do processo com as amostras passadas $n-1$, obtendo as saídas XR e XI .

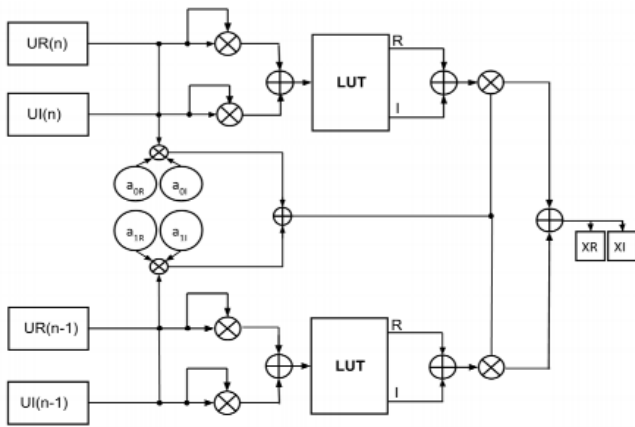


Fig. 3. Diagrama de blocos da arquitetura utilizada para o DPD [13].

B. Projeto do Circuito Integrado do DPD

Como já apresentado, o trabalho utilizou um código em VHDL [14] validado para o uso em uma FPGA. Entretanto, para se realizar o projeto de um circuito integrado, deve-se seguir o fluxo de projeto para a integração massiva a partir de um código HDL (*Hardware Description Language*). Este projeto usou fluxo de trabalho VLSI. Em qualquer projeto de um circuito integrado, realiza-se a integração de um vasto número de transistores MOS (*Metal Oxide Semiconductor*) a partir das etapas descritas a seguir [15]:

- **Síntese Lógica:** Consiste na interpretação das instruções em linguagem de descrição de *hardware* para construção de um esquemático.
- **Simulação Pós-Síntese:** Trata-se na validação, através de um simulador, do esquemático gerado conforme as especificações da tecnologia. Para isso, aplica-se sinais de entrada, e acompanha-se a propagação dos sinais ao longo do período de simulação.
- **Construção do Layout:** Dispor as células, anéis de alimentação, vias auxiliares, pinos e demais elementos e, então, realizar o roteamento das vias.
- **Verificações de Design:** Realizar verificações de conectividade, geometria e de DRC, procurando conflitos no *Design* ou no roteamento.
- **Extração de Parasitas:** Consiste em quantizar a interferência dos fenômenos capacitivos e indutivos gerados no *design* para, então, eliminar seus efeitos.
- **Simulação Pós-Layout:** Validação definitiva do projeto através de uma última simulação.

A primeira etapa a ser realizada, isto é, a síntese lógica, foi executada na ferramenta *Genus*. Para isso, foi empregue uma biblioteca de células padrão projetada para tecnologia de silício de 130 nm. A Tabela 1

apresenta os dados relativos à síntese, tais como consumo de potência e uso de células.

TABELA 1. DADOS DA SÍNTESE DO DPD

Potência Total consumida (mW)	245,0
Células do tipo Inversor	3580
Células do tipo Sequencial	904
Células do tipo Buffer	137
Células do tipo Lógico	16248
Total de células	20869

A verificação do esquemático produzido pela ferramenta ocorreu através da simulação de sua *netlist*, gerada como um código *verilog*, juntamente com arquivos disponibilizados da tecnologia. A ferramenta de simulação utilizada foi o *NC Launch*. Após a validação do esquemático, fez-se sua importação para a ferramenta *Innovus*, onde foi realizado o *design* do layout. Nesta etapa, todas as células, os anéis de alimentação, trilhas de conexão e as posições dos pinos de I/O foram dispostas. Posteriormente, foram realizadas as verificações de conectividade, de DRC e de geometria. A Tabela 2 contém os dados referentes à densidade média de ocupação de área útil do circuito, a área e as dimensões. A Figura 4 apresenta o layout do DPD, nas extremidades estão os diversos pinos de entrada e saída, e os anéis de alimentação. No centro, verifica-se as diversas células e as trilhas de conexão.

TABELA 2. DADOS DO LAYOUT DO DPD

Densidade de Ocupação (%)	72,45
Dimensão (μm)	670 \times 680
Área (μm^2)	45560

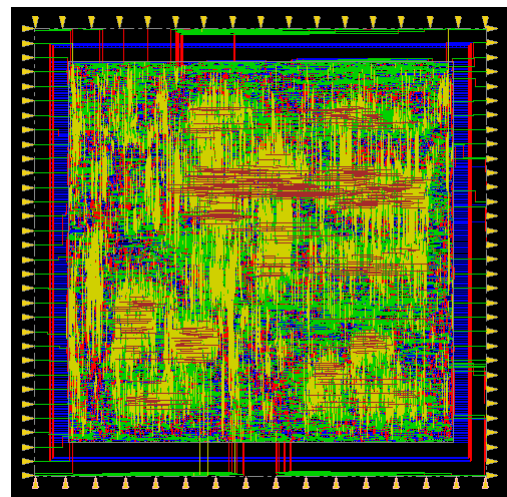


Fig. 4. Visualização do Layout desenvolvido.

IV. CONCLUSÃO

O trabalho consistiu no projeto de um circuito integrado capaz de realizar a pré-distorção de um sinal digital através de duas amostras temporais. Destaca-se que

a abordagem utilizada, até então, só havia sido desenvolvida para circuitos lógicos programáveis. O projeto contribui para futuras melhorias na eficiência dos sistemas de transmissão sem fio, permitindo que eles se tornem ainda mais energeticamente eficientes. Como trabalho futuro, pretende-se projetar um circuito que apresente maior capacidade para processar mais amostras temporais o que permitirá aumentar sua performance.

AGRADECIMENTOS

Os autores agradecem o Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) e o Fundo Nacional de Desenvolvimento da Educação (FNDE) pela viabilização da pesquisa no âmbito do programa PIBIC UFPR 2020.

REFERÊNCIAS

- [1] A. F. Molisch. "Technical Challenges of Wireless Communications," in *Wireless Communications*, IEEE, 2011, pp.27-36.
- [2] J. W. Fergus. "Ceramic and polymeric solid electrolytes for lithium-ion batteries", *Journal of Power Sources*, Volume 195, Issue 15, 2010, Pages 4554-4569, ISSN 0378-7753.
- [3] Sengar, Suverna & Bhattacharya, Partha. "Performance improvement in OFDM system by PAPR reduction". *Signal & Image Processing: An International*, 2012. Journal. 3.
- [4] L. Schuartz e E. G. Lima, "Comparison among Algorithms for the Identification of Adaptive Memory Polynomial Predistorter Models", em 30o Simpósio Sul de Microeletrônica, Maio 2015, pp. 1-4.
- [5] M. Parker, Chapter 17 - Orthogonal Frequency Division Multiple Access Wireless Communications, Michael Parker, *Digital Signal Processing 101 (Second Edition)*, Newnes, 2017, Pages 209-230, ISBN 9780128114537.
- [6] P. F. G. Silva. *Combinação Entre Pré-Distorção Digital e Redução do Fator de Crista para a Linearização de Amplificadores de potência para Sistemas de Telecomunicações Móveis*. Universidade Federal do Paraná, Curitiba, 2013.
- [7] M. Silveira, et al, O uso da técnica de pré-distorção digital na linearização de amplificadores de potência em RF, *International Week of Telecommunication 2002*, Santa Rita do Sapucaí, INATEL, BRASIL.
- [8] J. Kim e K. Konstantinou. "Digital predistortion of wideband signals based on power amplifier model with memory." *Electronics Letters* 37.23 (2001).
- [9] P. L. Gilabert, A. Cesari, G. Montoro, E. Bertran and J. Dilhac, "Multi-Lookup Table FPGA Implementation of an Adaptive Digital Predistorter for Linearizing RF Power Amplifiers With Memory Effects," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 2, pp. 372-384, Feb. 2008.
- [10] S. P. Stapleton and J. K. Cavers, "A new technique for adaptation of linearizing predistorters," [1991 Proceedings] 41st IEEE Vehicular Technology Conference, St. Louis, MO, USA, 1991, pp. 753-758.
- [11] R. N. Braithwaite, "Implementing crest factor reduction (CFR) by offsetting digital predistortion (DPD) coefficients," 2012 Workshop on Integrated Nonlinear Microwave and Millimetre-wave Circuits, Dublin, Ireland, 2012, pp. 1-3.
- [12] P. F. G. da Silva and E. G. de Lima, "Design of crest factor reduction techniques based on clipping and filtering for wireless communications systems," 2013 26th Symposium on Integrated Circuits and Systems Design (SBCCI), Curitiba, Brazil, 2013, pp. 1-5.
- [13] I. F. Wosniack; E.L. Silveira.; F. A. Schoulten; S. B. L França. ; E. G. Lima . Fixed-point VHDL Description of a Look-up Table Based Combined Memory and Envelope Memory Polynomial Model. In: 33rd South Symposium on Microelectronics, 2018, Curitiba. Proceedings of the 33rd South Symposium on Microelectronics, 2018. p. 45-48.
- [14] I. F. Wosniack "Projeto de circuito digital dedicado para a implementação de um modelo comportamental de amplificador de potência", Evento de iniciação científica da UFPR, Curitiba, 2018.
- [15] W, Wayne. *Modern VLSI Design: System-on-Chip Design*. N.p.: Pearson Education, 2002.