

Amplificador de Potência CMOS Distribuído Para Aplicação em 5G

Bruno Machado, André Mariano, Bernardo Leite

UFPR, Curitiba, Brasil
bruno.machado@ufpr.br

Resumo—Amplificadores de potência banda larga são um dos blocos fundamentais em sistemas de transmissão de ultra banda larga, os quais serão imprescindíveis para a viabilização da quinta geração dos sistemas de comunicação (5G). Uma das topologias utilizadas em amplificadores de potência banda larga são os amplificadores distribuídos, que permitem alcançar uma ampla largura de banda e uma alta potência de saída, através da paralelização dos transistores responsáveis pela amplificação e da criação de linhas de transmissão artificiais entre esses transistores. Esse estudo consiste no desenvolvimento de um amplificador de potência distribuído, em tecnologia CMOS 40 nm, com células cascode, tendo uma frequência central de 28 GHz, uma largura de banda de 20 GHz e uma potência de saturação superior a 18,5 dBm.

I. INTRODUÇÃO

Com a evolução da comunicação sem fio, sistemas de transmissão com uma largura de banda cada vez maior têm se tornado bastante atrativos, por permitirem um alto fluxo de dados [1] e o uso de diversas portadoras, centradas em diferentes frequências, permitindo uma transmissão simultânea a diversos usuários. Amplificadores de potência (PA) banda larga são fundamentais em um transmissor de ultra banda larga (UWB), sendo responsáveis por amplificar a potência do sinal em um amplo espectro de frequências. Uma das principais aplicações para esse tipo de amplificador será o 5G.

Existem diferentes topologias de PA UWB, como os amplificadores de potência Doherty, os amplificadores de potência balanceados e os amplificadores de potência distribuídos (DPA). Dentre elas, os DPAs se destacam por apresentarem as maiores larguras de banda e facilidade de casamento de impedância [1], sendo assim a topologia escolhida para esse trabalho.

Os DPAs se baseiam na paralelização de transistores, buscando o aumento da transcondutância para aumentar o produto ganho-largura de banda. Como demonstrado por

[2], a máxima largura de banda de um amplificador pode ser calculada pelo fator de largura de banda de Wheeler (F_o), dado por

$$F_o = \frac{gm}{\pi \sqrt{C_o \cdot C_i}} \quad (1)$$

É fácil perceber que o aumento da transcondutância (gm) resulta em um aumento do F_o . Porém, quando colocamos transistores em paralelo aumentamos também as capacitâncias parasitas de entrada (C_i) e saída (C_o) do circuito, anulando o efeito do aumento da transcondutância [2]. Dado isso, a topologia básica de um DPA busca anular o efeito capacitivo parasita dos transistores por meio da adição de indutores em série com as capacitâncias de entrada e de saída dos transistores, criando linhas de transmissão artificiais.

O DPA foi tradicionalmente concebido com o uso de transistores NMOS paralelizados, sendo a porta do transistor a entrada do sinal de radiofrequência, o dreno dele como saída e a sua fonte aterrada, ou seja, um amplificador fonte comum. Na Fig. 1, podemos observar um DPA tradicional genérico. Ao longo dos anos, diferentes topologias de PA começaram a ser utilizadas como célula unitária para o DPA.

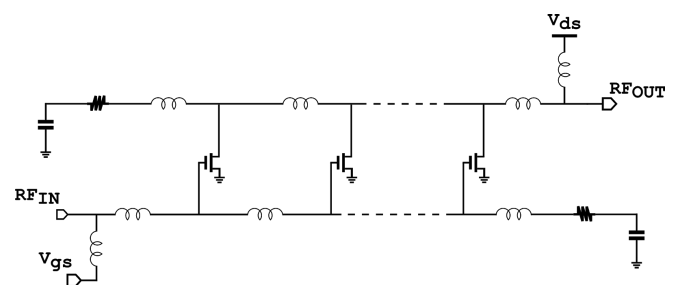


Fig. 1. DPA Genérico.

Diversos países definiram 28 GHz como uma das frequências centrais a ser adotada para o 5G, devido a ter o seu espectro não utilizado em diversos países, baixa absorção atmosférica e baixa perda de penetração para

diversos materiais, como alvenaria e vidro [3-5]. Portanto, neste trabalho buscamos utilizar o 28 GHz como frequência central para o DPA.

Sendo assim, esse trabalho consiste no projeto de um amplificador de potência distribuído para aplicação em 5G, com o espectro de frequência centrado em 28 GHz, desenvolvido em tecnologia CMOS 40 nm.

II. PROJETO DO DPA

Para as células de potência do DPA, foi adotada a topologia *cascode*, por ela permitir uma alta tensão de saída e apresentar bons resultados para a frequência desejada [7]. Idealmente, o ganho de um DPA seria diretamente proporcional ao número de estágios em paralelo, porém, na prática, devido às perdas das linhas de transmissão artificiais, esse ganho satura [1], sendo geralmente utilizados 4 estágios [1][8-10]. Além disso, um estágio adicional aumenta o consumo do circuito, o que pode reduzir a eficiência do amplificador, caso o ganho de potência não aumente na mesma proporção. Foram feitas algumas simulações com 4 e 5 estágios e optou-se pela utilização de menos transistores, devido ao melhor desempenho do circuito. A tensão de alimentação escolhida foi de 2,2 V, devido a limitação física dos transistores utilizados, e o consumo total do circuito, medido em uma simulação DC, foi de 647 mW. O esquemático do circuito projetado pode ser visto na Fig. 2.

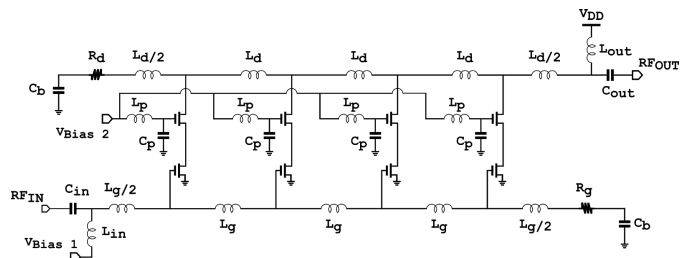


Fig. 2. DPA projetado.

Os indutores L_d e L_g foram dimensionados de modo a anular a capacitância parasita presente nas portas e drenos dos transistores, obtendo-se um valor de 90 pH. Dessa forma permite-se o aumento do produto ganho-banda pela paralelização dos estágios amplificadores, fazendo com que a arquitetura utilizada apresente um comportamento banda larga. Os resistores (R_d e R_g) e capacitores (C_b) presentes no fim das linhas de entrada e de saída têm a função de prevenir reflexões para as portas, tendo valores de 36Ω e 250 fF, respectivamente. Na entrada do circuito, foi projetada uma rede de casamento banda larga, buscando adaptar o circuito para a faixa de 18 GHz até 38 GHz. Os indutores L_{in} e L_{out} têm valores 90 pH e 400 pH e os capacitores C_{in} e C_{out} têm valores 200 fF e 220 fF, respectivamente. Os indutores L_p e os capacitores C_p têm valores 300 pH

e 10 pF, tendo a função de permitir a polarização correta dos transistores.

Diversos trabalhos reportam que DPAs desenvolvidos em tecnologia CMOS têm baixa potência de saturação e baixa eficiência [1][8][11], sendo assim, o dimensionamento dos estágios de amplificação foi feito visando otimizar a potência de saturação do amplificador. As tensões de polarização dos transistores ($V_{Bias 1} = 2,16 V$ e $V_{Bias 2} = 1 V$) foram dimensionadas buscando maximizar a tensão entre a porta e a fonte (V_{GS}) de cada transistor, respeitando os limites físicos deles. A largura de canal foi dimensionada buscando elevar a potência de saturação para a frequência de 28 GHz, sendo de 180 μm para todos os transistores. Uma vez que foram atingidos resultados satisfatórios, foi feita uma análise da potência em função da frequência, sendo feitos ajustes finos para centralizar a maior potência na frequência central.

III. RESULTADOS

Todos os resultados apresentados são de simulações feitas no esquemático do circuito, usando o simulador *Cadence Spectre*. Foram feitas 2 análises principais, uma observando os resultados para a frequência de 28 GHz e outra olhando o espectro de 18 GHz até 38 GHz.

A Fig. 3 mostra um gráfico da potência de saída em função da potência de entrada para a frequência de 28 GHz. Podemos observar que a potência de saturação atingida é de 19,5 dBm e o ponto de compressão de 1 dB para a saída (OCP1dB) é de 15,9 dBm. Agora olhando para a Fig. 4, podemos observar a potência de saturação em função da frequência. Existe uma variação de 18,5-19,5 dBm, sendo que a maior potência atingida é na frequência de 28 GHz. Também na Fig. 4, podemos observar o OCP1dB em função da frequência, o qual tem uma variação de 9-16 dBm. Esses resultados foram bastante satisfatórios, principalmente para a potência de saturação, que teve uma queda de apenas 1dBm ao longo de uma banda de 20 GHz.

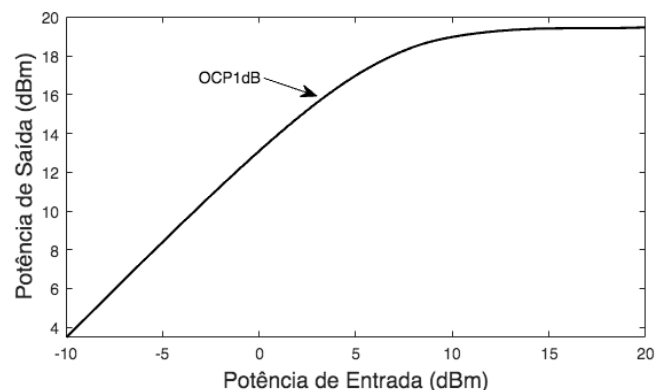


Fig. 3. Potência de saída em função da potência de entrada.

Para analisarmos a eficiência do circuito, utilizamos o parâmetro eficiência de potência adicionada (PAE), que pode ser visto na Fig. 5, para a frequência de 28 GHz. Pode-se observar que o circuito atinge uma PAE máxima de 12,3 %. Na Fig. 4 podemos observar a PAE de pico em função da frequência, a qual varia de 7,7 % a 12,4 %, valores baixos devido ao alto consumo do circuito.

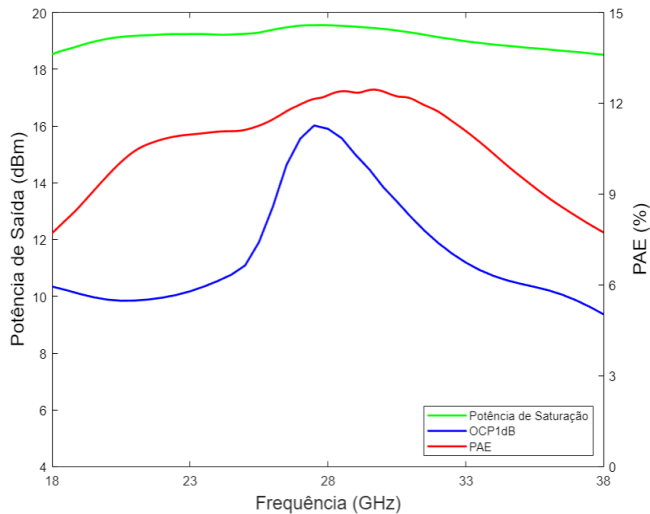


Fig. 4. Análise de equilíbrio harmônico na frequência.

Observando os parâmetros S, na Fig. 6, nota-se que dentro da faixa de frequências simulada, o ganho do circuito varia de 12,3 a 14,3 dB. Já o ganho reverso se mantém abaixo de -27,8 dB, não sendo um problema para essa topologia. As adaptações de entrada e de saída ficam abaixo de -9 dB para essa faixa de frequências, um resultado não tão bom quando comparado com outros trabalhos, mas dentro de um limite aceitável para permitir um bom funcionamento do circuito. Foi feita também uma simulação do fator μ e o circuito apresenta um comportamento estável dentro da faixa de operação.

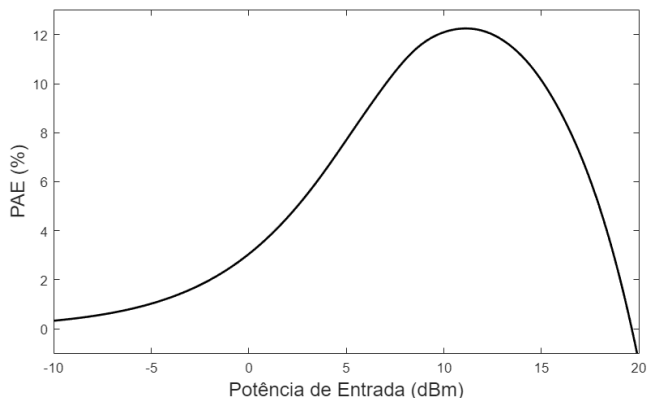


Fig. 5. PAE em função da potência de entrada.

A tabela 1 apresenta uma comparação deste trabalho com outros semelhantes. Os resultados presentes nesse trabalho correspondem a valores de simulação, enquanto

os resultados dos trabalhos de referência correspondem a valores medidos nos circuitos integrados fabricados. Dessa forma, os valores não podem ser comparados diretamente, mas servem como uma base para avaliar o desempenho do DPA projetado. Foram selecionados 2 trabalhos projetados na tecnologia CMOS, 1 na tecnologia SiGe BiCMOS e 1 na tecnologia CMOS SOI.

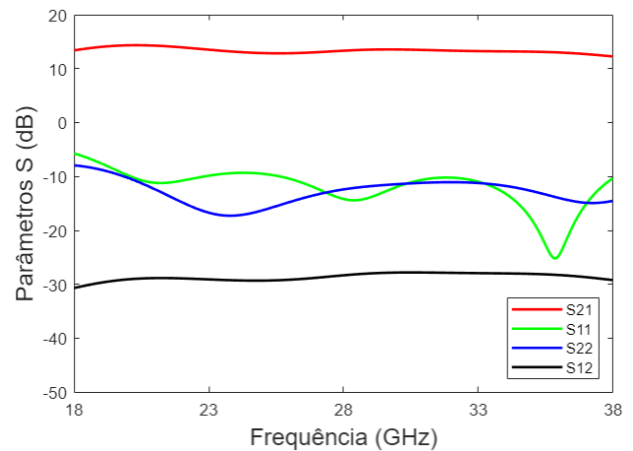


Fig. 6. Parâmetros S.

A tecnologia CMOS SOI utiliza uma camada de isolante entre 2 camadas de silício, diminuindo a capacitância parasita dos transistores e aumentando o desempenho de circuitos de rádio frequência (RF) com relação à tecnologia CMOS. No caso dos DPAs, essa redução da capacitância parasita permite o uso de indutores menores, diminuindo as perdas das linhas de transmissão artificiais. Já a tecnologia SiGe BiCMOS utiliza transistores bipolares, que apresentam um desempenho melhor do que os transistores CMOS para aplicações de RF. A tecnologia CMOS tem a vantagem de apresentar o menor custo de fabricação.

Quanto a potência de saturação, podemos observar que este trabalho obteve resultados bastante interessantes, atingindo valores superiores a [8], [9] e [10] e muito estáveis para uma grande faixa de frequências. O único trabalho que tem resultados melhores [1] utiliza o dobro de transistores, usa uma tensão de alimentação de 4,4 V e foi projetado na tecnologia CMOS SOI.

Com relação ao ganho, os resultados também são muito bons, tendo resultados piores apenas do que [1]. Já a linearidade do amplificador varia bastante ao longo da banda estipulada, porém, os valores do OCP1dB atingidos são bem próximos dos trabalhos de referência.

A largura de banda do circuito foi de 20 GHz em torno da frequência de 28 GHz, satisfazendo o objetivo do projeto, podendo ser utilizado em um dos principais espectros de frequências do 5G.

Quanto à eficiência, esse trabalho não tem resultados tão bons, apresentando uma PAE de pico máxima menor

do que [1], [9] e [10]. Entretanto, o circuito mantém uma PAE relativamente estável ao longo da banda, tendo uma PAE de pico mínima maior do que [8] e [10].

TABELA 1. COMPARAÇÃO COM OUTROS TRABALHOS.

	[1]	[8]	[9]	[10]	Este Trabalho
Tecnologia	45nm CMOS SOI	180nm CMOS	130nm CMOS	130nm SiGe BiCMOS	40nm CMOS
Banda (GHz)	1 - 17	1 - 23,8	2 - 16	1 - 110	18 - 38
P_{out} (dBm)	19 - 21	12,7 - 16,7	15 - 18,5	12 - 17,5	18,5 - 19,5
OCP1dB (dBm)	-	8,9 - 14,5	13 - 15,5	10,5 - 16,7	9 - 16
PAE Máxima (%)	12,2 - 19	2,7 - 10	9 - 17	3 - 13,2	7,7 - 12,4
Ganho Máximo (dB)	17,1	11,9	10	10	14,3

ESTE TRABALHO: RESULTADOS DE SIMULAÇÃO; [1][8-10]: RESULTADOS MEDIDOS.

IV. CONCLUSÃO

Este trabalho apresenta o projeto de um amplificador de potência distribuído, na tecnologia 40 nm CMOS, com aplicação focada no 5G. Utilizando a topologia de amplificadores distribuídos com estágios de potência *cascode*, foi projetado um circuito com uma frequência central 28 GHz e uma largura de banda de 20 GHz. O amplificador tem uma tensão de alimentação de 2,2 V, consumindo 647 mW. O DPA projetado têm um excelente desempenho quanto à potência de saturação, variando de 18,5 dBm à 19,5 dBm, sendo superior aos circuitos de referência projetados em tecnologia CMOS e se mantendo praticamente constante ao longo de toda a banda. Foram obtidos bons resultados para linearidade, com um OCP1dB variando de 9 dBm à 16 dBm, e ganho de pequenos sinais, variando de 12,3 dB à 14,3 dB. O desempenho quanto à eficiência é compatível com a dos trabalhos de referência.

REFERÊNCIAS

- [1] Gao, L., Ma, Q., Rebeiz, G. M. "A 1-17 GHz Stacked Distributed Power Amplifier with 19-21 dBm Saturated Output Power in 45nm CMOS SOI Technology". IEEE International Microwave Symposium, IMS, 2018.
- [2] Wheeler, H. A. "Wide-band amplifiers for television". Proceedings IRE, vol. 27, 1939.
- [3] Zhao, H., Mayzus, R., Sun, S., Samimi, M., Schulz, J. K., Azar, Y., Wang, K., Wong, G. N., Jr., F. G., Rappaport, T. S. "28 GHz Millimeter Wave Cellular Communication Measurements for Reflection and Penetration Loss in and around Buildings in New York City". IEEE Wireless Communications Symposium, ICC, 2013.
- [4] Nie, S., Jr., G. R. M., Sun, S., Rappaport, T. S. "28 GHz and 73 GHz Signal Outage Study for Millimeter Wave Cellular and Backhaul Communications". IEEE Wireless Communications Symposium, ICC, 2014.
- [5] Zhao, H., Mayzus, R., Schulz, J. K., Azar, Y., Wang, K., Wong, G. N., Jr., F. G., Hwang, D., Rappaport, T. S. "28 GHz Propagation Measurements for Outdoor Cellular Communications Using Steerable Beam Antennas in New York City". IEEE Wireless Communications Symposium, ICC, 2013.
- [6] Reynaert, P., Steyaert, M. "RF Power Amplifiers For Mobile Communications". Springer, 2006.
- [7] Jayamon, J. A., Buckwalter, J. F., Asbeck, P. M. "Multigate-Cell Stacked FET Design for Millimeter-Wave CMOS Power Amplifiers". IEEE Journal of Solid-State Circuits, Vol. 51, Nº 9, 2016.
- [8] Zhang, Y., Ma, K. "A 2–22 GHz CMOS Distributed Power Amplifier With Combined Artificial Transmission Lines". IEEE Microwave and Wireless Components Letters, Vol. 27, Nº 12, 2017.
- [9] Tarar, M. M., Beucher, T., Qayyum, S., Negra, R. "Efficient 2–16 GHz flat-gain stacked distributed power amplifier in 0.13µm CMOS using uniform distributed topology". RWTH Aachen University, 2017.
- [10] Chen, J., Niknejad, A. M. "Design and Analysis of a Stage-Scaled Distributed Power Amplifier". IEEE Transactions On Microwave Theory and Techniques, Vol. 59, Nº 5, 2011.
- [11] Chen, P., Kao, J. C., Huang, P. C., Wang, H. "A novel distributed amplifier with high gain, low noise and high output power in 0.18-µm CMOS technology". IEEE International Microwave Symposium, Baltimore, 2011.