

Dimensionamento de transistores MOS para amplificadores de potência

Henrique Domanski, Arthur Modesto, Bernardo Leite
Grupo de concepção de circuitos e sistemas integrados (GICS)
Universidade Federal do Paraná, Curitiba, Brasil
domanski.henrique@ufpr.br

Resumo—Este artigo tem o objetivo de dimensionar os transistores de um circuito amplificador de potência (PA) de radiofrequência para melhorar características como linearidade e eficiência. O PA estudado é de tecnologia CMOS 130 nm e opera na frequência de 2,45 GHz. A célula amplificadora é constituída por um par diferencial de topologia cascode com circuitos de casamento de impedância de entrada e de saída. O dimensionamento se deu pela repartição dos transistores porta comum em diversas combinações de *fingers* e multiplicidade. Para cada caso, foram catalogados os valores de corrente, pontos de compressão de 1 dB e tensões nos terminais de dreno. Ao analisar os resultados obtidos para as diferentes combinações, foi possível perceber que, aumentando a repartição dos transistores, obtêm-se melhores valores de linearidade e eficiência. Por exemplo, o ponto de compressão de 1 dB de saída (OCP_{1dB}) que era 25,58 dBm no caso original (multiplicidade 2 e 100 *fingers*) chega a valores de até 29,51 dBm (multiplicidade 25 e 250 *fingers*). O rendimento de dreno no OCP_{1dB}, por sua vez, chega ao valor máximo de 25,55% (multiplicidade 25 e 250 *fingers*), enquanto no caso original ele era de 9,85%.

Palavras-chave: Amplificador de potência, multiplicidade, *fingers*.

I. INTRODUÇÃO

Os amplificadores de potência têm a função de elevar a potência do sinal a ser transmitido de modo que ele alcance seu destino. Nos circuitos transmissores de radiofrequência eles se localizam no último bloco, logo antes da antena. Por ser um dos componentes que mais consome energia neste tipo de circuito, é de grande interesse melhorar características como eficiência e linearidade. Todavia, esse processo não é trivial, uma vez que é necessário manter um compromisso entre o ganho de potência, a linearidade e o consumo de potência.

Nesse sentido, esse trabalho busca, por meio do dimensionamento dos transistores, melhorar o desempenho do PA desenvolvido em [1]. Esse circuito amplificador de potência é constituído por um par cascode diferencial, redes de casamento de impedância de entrada e saída e capacitores cruzados de neutralização.

Primeiramente, para garantir a estabilidade incondicional do circuito, foi necessário redimensionar os capacitores cruzados de neutralização. Em seguida, o dimensionamento se deu através da repartição dos

transistores porta comum em diferentes combinações de *fingers* e multiplicidade. Para cada caso os resultados analisados foram catalogados e analisados.

A seção II do trabalho apresenta etapas desenvolvidas no PA proposto por [1], bem como o método utilizado para o dimensionamento dos transistores. Na seção III são apresentados os resultados das simulações para as diferentes possibilidades de dimensionamento e, na seção IV, discutem-se os resultados alcançados e propõe-se uma perspectiva para trabalhos futuros.

II. PROJETO DO PA

A. Amplificador de potência

A topologia original do PA desenvolvido em [1] foi mantida. Ele se trata de um par diferencial cascode de tecnologia CMOS 130 nm e opera na frequência de 2,45 GHz. As mudanças realizadas referem-se ao dimensionamento dos componentes. A figura 1 apresenta o esquemático completo do circuito estudado. O bloco A retrata a célula amplificadora cascode diferencial. O bloco B exibe os capacitores cruzados de neutralização, os blocos C as redes de casamento de entrada e os blocos D as redes de casamento de saída.

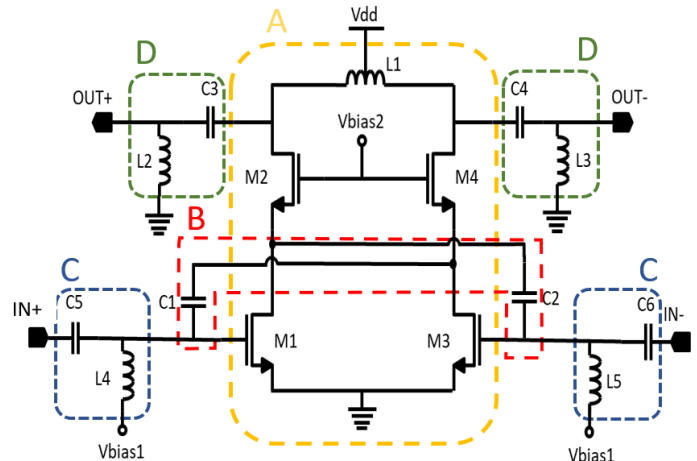


Fig.1 - Esquemático completo do PA

A tensão de alimentação (Vdd) do PA é de 3,3 V. As tensões de polarização são $V_{bias1} = 1,4$ V e $V_{bias2} = 2,1$ V.

Os transistores fonte comum (M1 e M3) tiveram suas dimensões originais mantidas. Já os transistores porta comum (M2 e M4) tiveram seus parâmetros de número de *fingers* e multiplicidade redimensionados conforme

apresentado na subseção E. A tabela 1 indica os parâmetros dos transistores. Já a tabela 2 indica as dimensões dos componentes passivos do circuito.

TABELA 1. PARÂMETROS DOS COMPONENTES ATIVOS

Parâmetros	M1 e M3	M2 e M4
Largura (mm)	2,8	2*
Comprimento (nm)	240	240
Número de <i>fingers</i>	100	**
Multiplicidade	2	**

* A largura total de todos *fingers* varia inversamente proporcional ao aumento da multiplicidade.

** Valores redimensionados.

TABELA 2. PARÂMETROS DOS COMPONENTES PASSIVOS

	Valor	Comprimento (μm)	Largura (μm)	Voltas
C1 e C2	3,15 pF	56	56	-
C3 e C4	4,31 pF	65,50	65,50	-
C5 e C6	6,31 pF	79,34	79,34	-
L1	1,88 nH	200	10*	3
L2 e L3	978 pH	175	10*	2
L4 e L5	382 pH	184,30	10*	1

* Largura das trilhas dos indutores, não do componente completo.

B. Estabilidade e capacitores cruzados

Caso o PA não seja incondicionalmente estável é possível que ele opere como um oscilador, o que compromete o seu funcionamento. A fim de se analisar a estabilidade de um PA é utilizado o parâmetro μ .

A estabilidade incondicional é garantida quando μ for maior do que 1 para todas as frequências. Assim, tem-se a certeza de que o PA está operando como amplificador para qualquer par de impedâncias de fonte e carga [1].

O PA foi inicialmente montado e simulado com componentes ideais sem grandes problemas. Porém, ao simular o circuito com componentes reais da biblioteca da tecnologia, pôde ser observado pelos valores de μ que o amplificador não era incondicionalmente estável. Para alcançar a estabilidade, foi necessário redimensionar os capacitores cruzados (bloco B da figura 1). Eles funcionam neutralizando o efeito de realimentação de sinal presente no modelo de pequenos sinais de altas frequências, assim garantindo a estabilidade [1].

Com base na análise do parâmetro μ , foi definida a dimensão de largura e comprimento de 56 μm que resulta em uma capacitância de 3,15 pF e garante $\mu > 1$, conforme pode ser verificado no gráfico da figura a seguir.

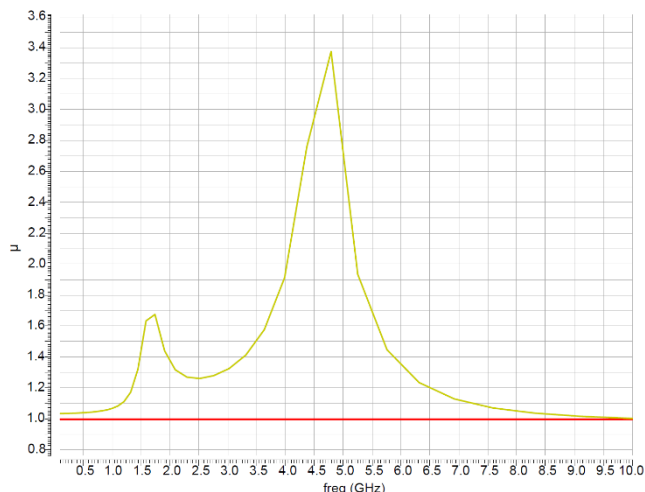


Fig. 2 – Parâmetro de estabilidade μ

C. Multiplicidade (m)

Aumentar o parâmetro de multiplicidade em um transistor consiste em colocar vários transistores idênticos em paralelo. Isso permite uma diminuição na resistência no terminal da porta, o que é interessante para transistores de grande largura (como aqueles usados neste trabalho), pois diminui perdas [2]. Uma vez com a multiplicidade aumentada por um fator m , é possível diminuir a largura individual de cada transistor por m , pois, por eles estarem em paralelo, a corrente será dividida entre cada múltiplo.

D. Número de *fingers* (nf)

Os transistores utilizados em PAs têm dimensões tipicamente grandes (cerca de alguns milímetros). Isso resulta em altas resistências de porta [2]. A fim de reduzir esse efeito e melhorar a área de leiaute, esses transistores são normalmente particionados em *fingers* e divididos em múltiplos.

Um leiaute de transistor *multi-finger* consiste na divisão em múltiplos *fingers* paralelos. Com isso, o transistor obtido apresenta alternadamente terminais de fonte e dreno. Portanto, faz-se necessário conectar os terminais de porta de cada *finger*. Assim, a largura do transistor (W_f) é dividida pela quantidade de *fingers*. Menores larguras para cada *finger* não só maximizam área do leiaute, mas também podem aumentar a capacidade de lidar com a corrente de dreno [3].

O resultado da divisão por *fingers* no leiaute pode ser observado na figura 3.

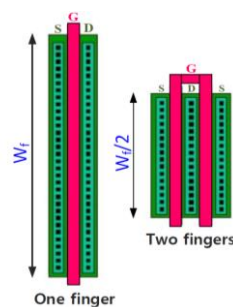


Fig. 3 – Transistor simples e transistor equivalente com 2 *fingers* [3]

E. Metodologia para o dimensionamento

O método para avaliar o impacto das diferentes combinações de multiplicidade e número de *fingers* consistiu-se em fazer simulações para cada caso variando apenas os parâmetros m e nf dos transistores porta comum no esquemático.

O parâmetro m foi testado admitindo os valores 2, 4, 5, 8, 10, 16, 20, 25, 40 e 50. Já os valores de nf testados foram 10, 50, 100, 200, 250, 400, 500 e 1000. É importante ressaltar que há um limite para o número de *fingers* a serem usados para cada multiplicidade, pois cada *finger* tem a largura mínima de 480 nm. Com maiores multiplicidades, têm-se menores valores para as larguras resultantes de todos os *fingers* de cada transistor. Isso faz com que o limite máximo de *fingers* diminua com o aumento da multiplicidade.

Para cada combinação foram catalogados valores de corrente de polarização (I_D), de ponto de compressão de saída máximo (OCP_{1dB} - obtido pela simulação de *loadpull*), ponto de compressão de entrada (ICP_{1dB}) e tensão de polarização no terminal do dreno (V_D). Além disso, foi calculada a potência de saída levando em consideração a tensão mínima no terminal do dreno (V_{knee}).

III. RESULTADOS

Os resultados apresentados foram obtidos por meio de simulações realizadas no *software Cadence Spectre*.

O gráfico da figura 4 apresenta os valores de OCP_{1dB} para cada caso de repartição. Os resultados apresentados são os valores máximos obtidos em simulações do tipo HB com a opção *loadpull*, que apresenta vários contornos de valores de ponto de compressão para diferentes valores de casamento de saída.

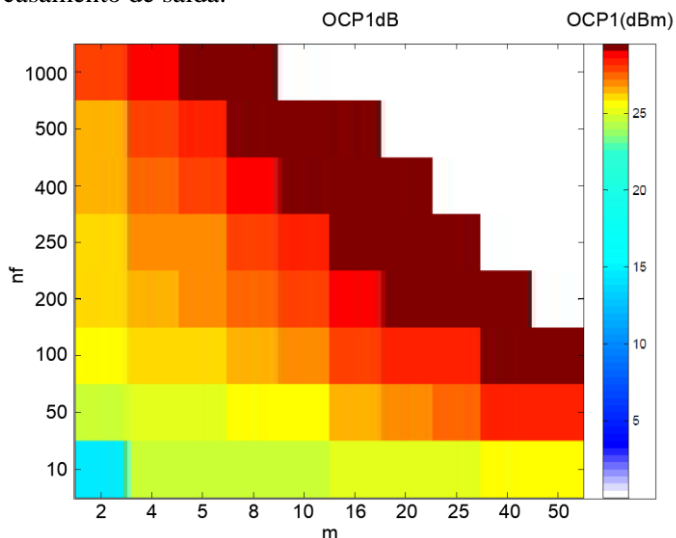


Fig. 4 – Gráfico dos valores de OCP_{1dB} em função da multiplicidade (m) e número de *fingers* (nf)

É possível observar que a linearidade aumenta conforme os transistores porta comum são divididos em mais repartições. Por exemplo, com multiplicidades acima de 16, já é possível observar valores de máximos OCP_{1dB} em torno de 29,5 dBm. Isso é uma melhora expressiva em

relação ao caso original (multiplicidade 2 e 100 *fingers*) que apresenta um OCP_{1dB} máximo de 25,58 dBm.

O gráfico da figura 5 mostra os valores das correntes de polarização obtidos por simulações DC. Ao aumentar as repartições nos transistores, há uma diminuição expressiva em I_D . Ela diminui de 1,11 A no caso original para valores em torno de 1,06 A para multiplicidades acima de 16 e número de *fingers* maiores que 400.

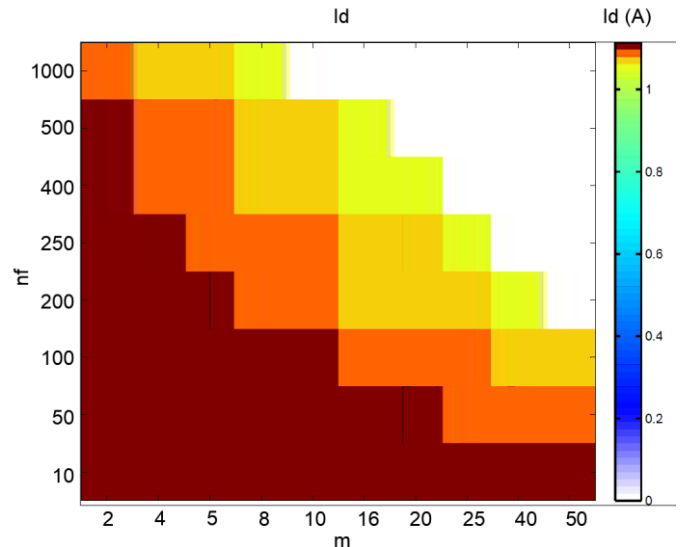


Fig. 5 – Gráfico dos valores de I_D em função da multiplicidade (m) e número de *fingers* (nf)

Menores valores de I_D acarretam uma melhor eficiência.

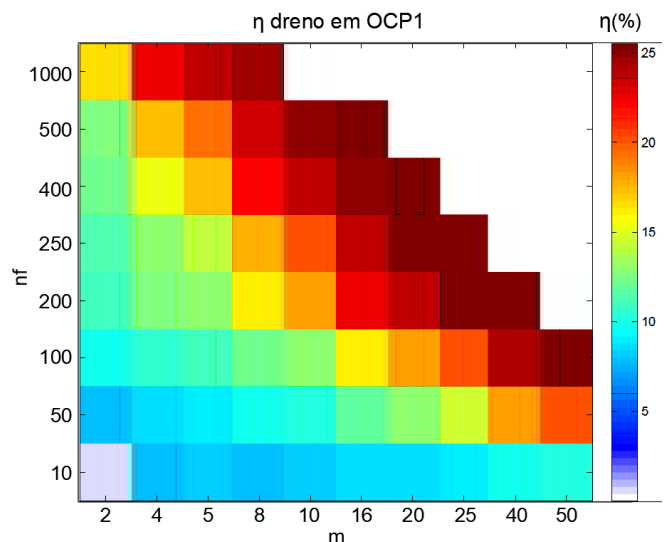


Fig. 6 – Gráfico do rendimento de dreno no ponto de compressão em função da multiplicidade (m) e número de *fingers* (nf)

Um dos parâmetros utilizados para analisar a eficiência é o rendimento de dreno no ponto de compressão de saída, cujo valor é dado por:

$$\eta_D = \frac{OCP_{1dB} [W]}{I_D \cdot V_{DD}}$$

Para cada caso de repartição tem-se esses valores são apresentados no gráfico da figura 6. No caso original, esse

rendimento era de 9,85%. Com multiplicidades acima de 10, já é possível observar rendimentos em torno de 25%.

Além de representar um aumento na eficiência, a diminuição na corrente de polarização também é responsável pelo aumento da linearidade observado na figura 4. Isso ocorre, pois com uma corrente mais baixa, a queda de tensão no indutor (bloco A da figura 1) por resistência parasita é menor. Assim, é possível obter, no terminal do dreno, uma maior excursão de tensão.

Essa maior excursão de tensão pode ser confirmada graficamente pelos resultados obtidos para a tensão mínima no terminal do dreno. Esses valores catalogados como V_{knee} foram obtidos a partir de simulações de transitório em 5 períodos para uma potência de entrada P_{IN} igual ao ponto de compressão de entrada (ICP_{1dB}) acrescido de 3 dB.

A diminuição de V_{knee} em função do aumento das repartições pode ser observada na figura 7.

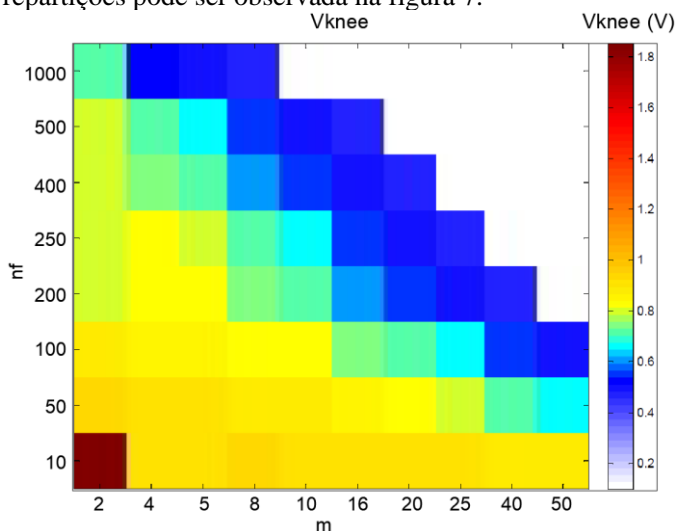


Fig. 7 – Gráfico da tensão mínima do dreno em função da multiplicidade (m) e número de fingers (nf)

IV. CONCLUSÃO

Em circuitos transmissores de radiofrequência os PAs têm a importante função de elevar a potência do sinal a ser transmitido de modo que ele alcance seu destino. Por se tratar de um dos componentes que mais consome energia neste tipo de circuito, é de grande interesse melhorar características como eficiência e linearidade. Nesse sentido, esse trabalho busca melhoras no desempenho de um PA diferencial de topologia cascode com base no dimensionamento dos transistores porta comum.

Os parâmetros dimensionados neste trabalho referem-se às repartições nos transistores. São eles: multiplicidade (m) e número de fingers (nf). Ao aumentar as repartições dos transistores porta comum, percebeu-se melhoras expressivas de linearidade e eficiência. Essas melhoras, por sua vez, estão relacionadas ao aumento da excursão do sinal de saída (verificado por menores valores de V_{knee}) obtidas com mais repartições.

As melhoras nos valores de linearidade e eficiência são representadas por OCP_{1dB} e rendimento no dreno, respectivamente. Os valores máximos de OCP_{1dB}

aumentam de 25,58 dBm no caso original (multiplicidade 2 e 100 fingers) para valores de até 29,51 dBm (multiplicidade 25 e 250 fingers). Já os valores de rendimento de dreno no OCP_{1dB} chegam ao valor máximo de 25,55% (multiplicidade 25 e 250 fingers), enquanto no caso original ele era de 9,85%.

Em trabalhos futuros tem-se a perspectiva de verificar se as melhoras obtidas nas simulações de esquemático também são observadas em simulações de leiaute.

REFERÊNCIAS

- [1] A. Modesto, B. Leite, "Watt-level linear CMOS power amplifier with adaptive power cells for 2.45 GHz", Workshop on Circuits and Systems Design (WCAS), São Paulo, 2019
- [2] A. M. Niknejad, D. Chowdhury and J. Chen, "Design of CMOS Power Amplifiers", IEEE Transactions on Microwave Theory and Techniques, 2012
- [3] F. Haddad, A. B. Hammadi e S. Saad "Effect of Multi-Finger Gate MOSFET on RF Analog Integrated Circuit Performances", 15th Design & Technology of Integrated Systems in Nanoscale Era (DTIS), 2020