

Amplificador de Potência RF com Transistores PMOS

Natália Carvalho Kowaltschuk, Arthur Amorim Modesto,
Bernardo Leite,

Grupo de Concepção de Circuitos e Sistemas Integrados (GICS)
Universidade Federal do Paraná (UFPR), Curitiba, Brasil
natac.kowa@gmail.com

Este trabalho tem como objetivo projetar e simular o esquemático de um amplificador de potência (PA) com transistores PMOS para uma frequência de 2,45 GHz. Com base em um amplificador de potência, previamente projetado com transistores NMOS, na configuração Cascode, foi feito o desenvolvimento de um amplificador com transistores PMOS, na mesma configuração. Como resultado de simulações de equilíbrio harmônico foi obtido, para o circuito PMOS, um valor de ponto de compressão de 1dB (OCP1dBm) de 26,5 dBm, um ganho de 21,9 dB e uma potência de saturação (PSAT) próxima a 32 dBm, comparado aos valores, do circuito NMOS, de ponto de compressão de 1dB e ganho de 30,9 dBm e 23,05 dB, respectivamente, e uma PSAT de 34 dBm.

I. INTRODUÇÃO

Um transmissor RF é um subsistema elétrico especializado na transmissão de sinais elétricos de alta frequência para comunicação sem fio [1], e o amplificador de potência (PA) corresponde ao último bloco do sistema transmissor, antes da antena. Sendo o PA responsável por cerca de dois terços do consumo de potência de todo o módulo, a eficiência do transmissor está diretamente relacionada com a eficiência do PA [2].

Para um bom funcionamento em comunicação sem fio, deve-se buscar um compromisso entre algumas propriedades do amplificador de potência, como eficiência, ganho e linearidade da potência de saída.

A linearidade do PA pode ser mensurada através de uma métrica da máxima potência que se pode atingir sem causar distorções significativas, essa métrica leva ao ponto de compressão de 1dB, que é um desvio de apenas 1dB da curva linear. Já a eficiência está relacionada à autonomia da bateria entre as recargas, e é obtida a partir de uma relação entre a potência da saída e a potência consumida pelo circuito.

Os PAs usualmente fazem uso de transistores NMOS, que operam como uma fonte de corrente controlada no circuito. O desenvolvimento de um PA com transistores PMOS se torna interessante devido ao seu comportamento complementar aos transistores NMOS em sua não-linearidade de suas capacitâncias porta-fonte. Tal

comportamento faz com que possa servir como base para o desenvolvimento de um PA *push-pull* (com ambos os transistores), futuramente [3].

Este trabalho serve como base para o projeto de um amplificador de potência integrado em tecnologia CMOS 130 nm. Dentre as vantagens do uso dessa tecnologia para PAs estão a alta integração com circuitos digitais e o custo reduzido, visto que a tecnologia baseada em silício é altamente difundida atualmente. Já algumas desvantagens são: a baixa tensão de ruptura do óxido, quando há uma corrente entre a porta e o substrato, gerada por uma alta tensão nestes terminais; as perdas das redes de transformação de impedâncias e as perdas nos próprios transistores [2].

Neste artigo, na seção II, será mostrado o amplificador tomado como base e apresentado o projeto desenvolvido, seguido, na seção III, dos resultados obtidos e das conclusões na seção IV.

II. PROJETO DO PA

A. Amplificador com Transistores NMOS

Para dar início ao projeto do amplificador com transistores PMOS, foi tomado como referência um PA previamente projetado com transistores NMOS na configuração Cascode, que pode ser visto na figura 1 [4]. Foram utilizados transistores de óxido espesso, cujo comprimento mínimo é de 240 nm. Com este amplificador foram realizadas as simulações para determinar seus parâmetros para que pudéssemos comparar com o PA projetado.

Neste circuito, foram realizadas as simulações de equilíbrio harmônico (simulações HB), variando a potência de entrada, observa-se, além da eficiência de potência adicionada, que apresenta um valor máximo de 58,1%, o valor de 23,05 dB de ganho e um ponto de compressão de 1 dB de 30,9 dBm.

É importante ressaltar que os resultados obtidos nos circuitos simulados neste artigo diferem um pouco dos apresentados em [4], devido ao fato dos circuitos aqui

apresentados terem sido montados com componentes passivos ideais.

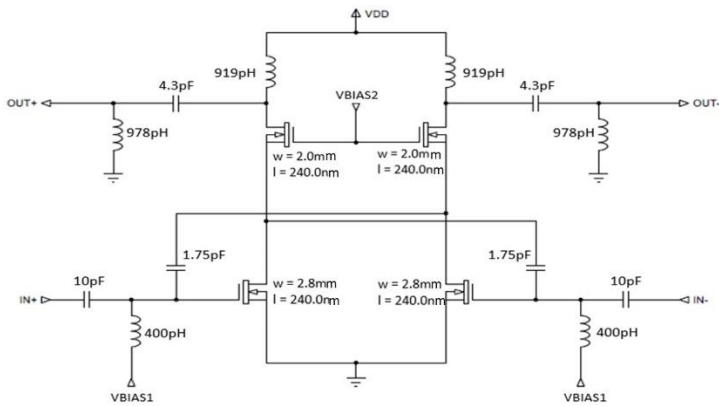


FIGURA 1- PA COM TRANSISTORES NMOS.

B. Amplificador com Transistores PMOS

Com base no esquemático previamente simulado, foi desenvolvido um amplificador com transistores PMOS. Para isso, foram estudadas e comparadas as configurações Cascode de transistores de efeito de campo NMOS e PMOS. Então, fazendo as adaptações necessárias para os novos transistores, foi desenvolvido o esquemático mostrado na figura 2. Os transistores utilizados foram também de óxido espesso, e foram mantidas as dimensões dos transistores utilizados no circuito NMOS, de 240 nm.

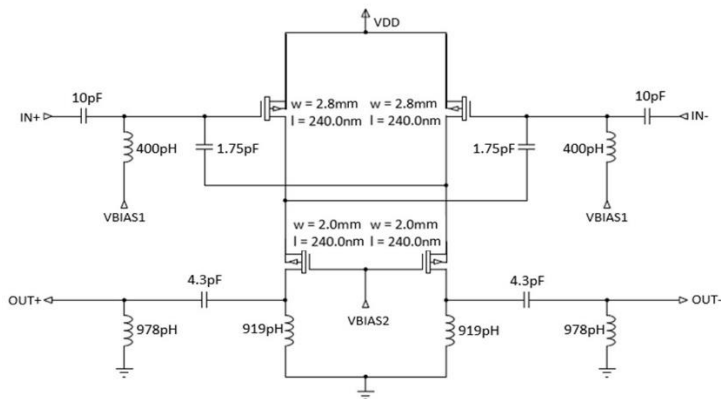


FIGURA 2 - PA COM TRANSISTORES PMOS.

A polarização do circuito representa o conjunto das tensões contínuas do circuito e das correntes contínuas de cada transistor. Foram redefinidos os valores das tensões dos pontos Vbias1 e Vbias2, de modo que a corrente dos transistores ficasse o mais próximo possível, em módulo, das correntes do circuito com NMOS, onde foi observada uma corrente I_{DS} de 1,12 A.

Para definir esses novos valores, foram feitas simulações DC, em que as tensões foram parametrizadas. As tensões definidas podem ser vistas na tabela 1.

TABELA 1. TENSÕES DE POLARIZAÇÃO

	Alimentação (VDD)	Vbias1	Vbias2
Circuito PMOS	3,3 V	2,3 V	0,6 V
Circuito NMOS	3,3 V	1,4 V	2,1 V

III. RESULTADOS

Foram realizadas as simulações de parâmetros de espalhamento e análises de equilíbrio harmônico na plataforma Cadence Virtuoso, na frequência de 2,45 GHz, adquirindo resultados de ganho em função da potência de saída (P_{OUT}). A figura 3 mostra a comparação entre o ganho de potência por potência de saída dos circuitos NMOS e PMOS. Pode-se notar que a compressão do ganho até a saturação não é tão lenta quanto à observada no amplificador com transistores NMOS, atingindo uma potência de saturação (P_{SAT}) próxima de 32,5 dBm, enquanto o circuito NMOS atinge uma P_{SAT} de 34 dBm.

Na simulação de equilíbrio harmônico pode-se destacar, para o PMOS, os valores de ganho de 21,9 dB, e do ponto de compressão de 1 dB de 26,5 dBm, comparados com os valores de 23,05 dB e 30,9 dBm, respectivamente, do circuito NMOS.

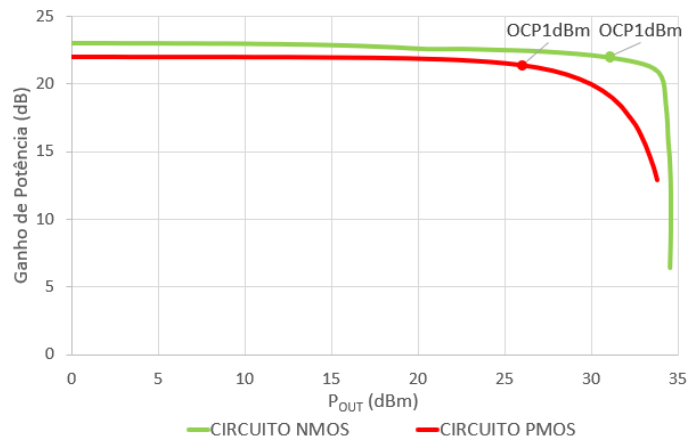


FIGURA 3 - COMPARAÇÃO DO GANHO DE POTÊNCIA EM FUNÇÃO DE P_{OUT} .

A figura 4 mostra a curva de eficiência de potência adicionada pela potência de saída, respectivamente, dos circuitos NMOS e PMOS.

No circuito PMOS, foi encontrada uma PAE com valor máximo de 47%, um valor um pouco abaixo do obtido do circuito NMOS, de 58,1%. Pode-se ver também que para valores de P_{OUT} até 33,8 dBm a PAE do circuito PMOS é maior que a do circuito NMOS.

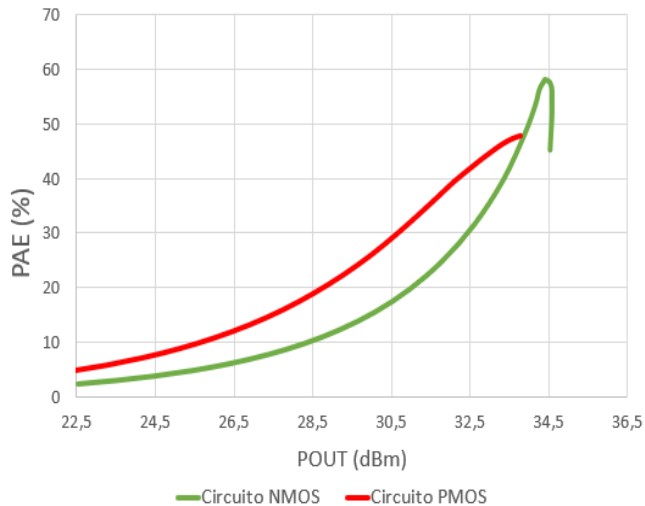


FIGURA 4 – COMPARAÇÃO DA PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA.

A tabela 2 mostra os resultados das simulações de equilíbrio harmônico.

TABELA 2. RESULTADOS DAS SIMULAÇÕES.

	Simulação de Equilíbrio Harmônico		
	Ganho (dB)	OCP _{1dBm} (dBm)	PAEmáx (%)
Circuito PMOS	21,9	26,5	47
Circuito NMOS	23,05	30,9	58,1

IV. CONCLUSÃO

Este trabalho tinha como objetivo desenvolver um amplificador de potência operante na faixa de 2,45 GHz, com transistores PMOS. Ele foi baseado em um amplificador projetado anteriormente, com transistores

NMOS [4]. Comparando os circuitos NMOS e PMOS, foram mantidas as dimensões dos transistores e a corrente de polarização I_{DS} . Quanto aos resultados, pode-se perceber que o ganho do circuito PMOS, de 21,9 dB, está bem próximo do ganho do circuito tomado como base.

Os resultados obtidos com o circuito até o momento, apesar de não serem ideais, apresentaram valores satisfatórios, considerando que não foram otimizadas as redes de casamento do circuito, somente mantidas as projetadas em [4].

Como recomendações para trabalhos futuros, podem-se citar a otimização das redes de impedância do circuito por meio de simulações LoadPull, e em seguida, verificar a estabilidade do circuito.

AGRADECIMENTOS

A todos os membros do GICS da UFPR, pelo apoio técnico e pela disponibilidade do laboratório para a realização da pesquisa.

REFERÊNCIAS

- [1] SANTOS, F. G. 2016. Amplificador de potência CMOS em 2,4 GHz com potência de saída programável. Curitiba: Universidade Federal do Paraná - UFPR. Dissertação de Mestrado, 2016.
- [2] TARUI, B. Y. 2018. Projeto e Simulação de Amplificador de Potência Multimodos em Tecnologia CMOS 130 nm para operação na banda de frequência de 2,45GHz. Curitiba: Universidade Federal do Paraná - UFPR. Trabalho de Conclusão de Curso, 2018.
- [3] KULKARNI, S., REYNAERT, P. A 60-GHz Power Amplifier With AM-PM Distortion Cancellation in 40-nm CMOS. IEEE Transactions on Microwave Theory and Techniques, vol. 64, no. 7, pp. 2284-2291, Julho 2016.
- [4] MODESTO, A. A., LEITE, B. "Watt-level linear CMOS power amplifier with adaptive power cells for 2.45 GHz". In: Workshop on Circuits and Systems Design (WCAS), 2019, São Paulo. Workshop on Circuits and Systems Design (WCAS), 2019.
- [5] SANTOS, E. L. 2015. Amplificador de potência CMOS de baixo consumo com controle de ganho. Curitiba: Universidade Federal do Paraná - UFPR. Dissertação de Mestrado, 2015.